SONY

DIGITAL TIMEBASE CORRECTOR

BKH-2150

SUPPLEMENT-2

内容

資料の追加
　第3章　回路説明

対象マニュアル／機番

このサプリメントを下記のBKH-2150マニュアルに追加してお使い下さい。
なお，目次も差し換えてお使い下さい。

BKH-2150
　1st Edition
　1st Edition (Revised 1)
　1st Edition (Revised 2)
　1st Edition (Revised 3)

上記マニュアルは下記機番のBKH-2150に添付されています。

　#10001～12199

SUBJECT

Addition of Documents
　Sec. 3 Theory of Operation

APPLICABLE MANUAL/SERIAL NUMBER

Please file this supplement to the following BKH-2150 manuals, and replace the former "TABLE OF CONTENTS".

BKH-2150
　1st Edition
　1st Edition (Revised 1)
　1st Edition (Revised 2)
　1st Edition (Revised 3)

Above manuals were enclosed with the BKH-2150 with the following serial numbers.

　#10001 through 12199

INSTALLATION AND MAINTENANCE MANUAL

BKH-2150 (UCJ)
9-966-843-02

Sony Corporation
© 1986

Printed in Japan
1986. 11 11

ご注意

このマニュアルに記載されている事柄の著作権は当社にあり，説明内容は機器購入者の使用を目的としています。
従って，当社の許可なしに無断で複写したり，説明内容(操作，保守等）と異なる目的で本マニュアルを使用することを禁止します。

CONFIDENTIAL

The material contained in this manual consists of information that is the property of Sony Corporation and is intended solely for use by the purchasers of the equipment described in this manual.
Sony Corporation expressly prohibits the duplication of any portion of this manual or the use thereof for any purpose other than the operation or maintenance of the equipment described in this manual without the express written permission of Sony Corporation.

CONFIDENTIEL

Le matériel contenu dans ce manuel consiste en informations qui sont la propriété de Sony Corporation et sont destinées exclusivement à l'usage des acquéreurs de l'équipement décrit dans ce manuel.
Sony Corporation interdit formellement la copie de quelque partie que ce soit de ce manuel ou son emploi pour tout autre but que des opérations ou entretiens de l'équipement à moins d'une permission écrite de Sony Corporation.

VERTRAULICH

Das in dieser Anleitung enthaltene Material besteht aus Informationen, die Eigentum der Sony Corporation sind, und ausschließlich zum Gebrauch durch den Käufer der in dieser Anleitung beschriebenen Ausrüstung bestimmt sind.
Die Sony Corporation untersagt ausdrücklich die Vervielfältigung jeglicher Teile dieser Anleitung oder den Gebrauch derselben für irgendeinen anderen Zweck als die Bedienung oder Wartung der in dieser Anleitung beschriebenen Ausrüstung ohne ausdrückliche schriftliche Erlaubnis der Sony Corporation.

目 次
TABLE OF CONTENTS

1. 取扱い操作

1-1. 概要 ····· 1-1(J)
1-2. 特長 ····· 1-1(J)
1-3. 仕様 ····· 1-1(J)
1-4. 取り付け ····· 1-2(J)
1-4-1. 基板の挿入 ····· 1-2(J)
1-4-2. 初期設定 ····· 1-2(J)
1-5. 各部の名称と働き ····· 1-4(J)
1-5-1. 前面操作部 ····· 1-4(J)
1-5-2. 基板内部 ····· 1-6(J)
1-6. 調整 ····· 1-8(J)
1-7. 操作 ····· 1-9(J)
1-8. シグナル フローチャート ····· 1-11(J)
1-9. リモートコントロール ····· 1-12(J)

2. 設置およびサービスインフォメーション

2-1. 調整 ····· 2-1
2-1-1. ペデスタルレベルオフセット調整 ····· 2-1
2-1-2. ベロシティエラー・オフセット調整 ··· 2-2
2-1-3. HUE コントロールのプリセッティング· 2-3
2-1-4. SYNC, バーストレベル調整 ····· 2-3
2-1-5. H ブランキング幅調整 ····· 2-4
2-1-6. V ブランキングラインの選択 ····· 2-4
2-1-7. バースト位置・幅調整 ····· 2-5
2-1-8. ビデオ位相調整 ····· 2-5
2-1-9. PB CF WINDOW 調整 ····· 2-6
2-1-10. 基板交換時の調整 ····· 2-7
2-2. チップ部品の交換方法 ····· 2-8
2-2-1. 用意する工具 ····· 2-8
2-2-2. 半田付条件 ····· 2-8
2-2-3. 抵抗, コンデンサーの交換 ····· 2-8
2-2-4. トランジスタ, ダイオードの交換 ····· 2-9
2-2-5. IC の交換 ····· 2-9

1. OPERATION

1-1. Outline . . . . . 1-1(E)
1-2. Features . . . . . 1-1(E)
1-3. Specifications . . . . . 1-1(E)
1-3-1. General . . . . . 1-1(E)
1-3-2. Video . . . . . 1-1(E)
1-3-3. Processor Adjustment Range . . . . . 1-1(E)
1-4. Installation . . . . . 1-2(E)
1-4-1. Notes on Installation . . . . . 1-2(E)
1-4-2. Initial Setting . . . . . 1-2(E)
1-5. Location and Function of Parts . . . . . 1-4(E)
1-5-1. Front Panel . . . . . 1-4(E)
1-5-2. On the Boards . . . . . 1-6(E)
1-6. Adjustments . . . . . 1-8(E)
1-7. Operation . . . . . 1-9(E)
1-8. Signal Flow Chart . . . . . 1-11(E)
1-9. Remote Control . . . . . 1-12(E)

2. INSTALLATION AND SERVICE INFORMATION

2-1. Adjustments 2-1
2-1-1. Pedestal Level Offset Adjustment 2-1
2-1-2. Velocity Error Offset Adjustment 2-2
2-1-3. Hue Control Presetting 2-3
2-1-4. Sync and Burst Level Adjustment 2-3
2-1-5. H Blanking Width Adjustment 2-4
2-1-6. V Blanking Line Selection 2-4
2-1-7. Burst Position/Width Adjustment 2-5
2-1-8. Video Phase Adjustment 2-5
2-1-9. PB CF Window Adjustment 2-6
2-1-10. Adjustment after Board Replacement . . . 2-7
2-2. Replacement Procedure of Chip Part 2-8
2-2-1. Required Tools 2-8
2-2-2. Soldering Conditions 2-8
2-2-3. Replacement of Resistor and Capacitor . . 2-8
2-2-4. Replacement of Transistor and Diode . . . 2-9
2-2-5. Replacement of IC 2-9

3. 回路説明

3-1. 概説 …… 3-1
3-1-1. 回路構成 …… 3-1
3-1-2. ビデオ信号系 …… 3-2
3-1-3. クロック・制御信号系 …… 3-3
3-2. AD-20基板回路 …… 3-5
3-2-1. A／Dコンバーター …… 3-5
3-2-2. H-PLL回路 …… 3-6
3-2-3. WRITE CLOCKジェネレーター …… 3-8
3-2-4. ベロシティエラー検出回路 …… 3-11
3-2-5. WRITE ZEROジェネレーター …… 3-12
3-2-6. Vタイミングジェネレーター …… 3-14
3-2-7. DOパルスストレッチャー …… 3-15
3-3. MY-21基板回路 …… 3-16
3-3-1. メインメモリー …… 3-16
3-3-2. Y信号・クロマ信号処理回路 …… 3-19
3-3-3. モード別の処理 …… 3-23
3-4. SG-10基板回路 …… 3-28
3-4-1. SYNCジェネレーター …… 3-28
3-4-2. READ CLOCKジェネレーター …… 3-32
3-4-3. ベロシティエラー補正回路 …… 3-36
3-4-4. READ ZEROジェネレーター …… 3-38
3-4-5. REF VN, Y ADD INH ジェネレーター …… 3-39
3-5. PR-64基板回路 …… 3-40
3-5-1. D／Aコンバーター …… 3-40
3-5-2. ビデオ信号プロセス回路 …… 3-41
3-5-3. 基準バースト信号ジェネレーター …… 3-43
3-5-4. ダーククリッパー …… 3-44
3-5-5. 出力ビデオバッファー, SYNC付加回路 …… 3-44
3-6. 信号 …… 3-45

4. 調整のための一般情報

4-1. 調整部品索引 …… 4-1
4-2. 調整順序 …… 4-2

3. THEORY OF OPERATION

3-1. Outline 3-1
3-1-1. Circuit Composition 3-1
3-1-2. Video Signal System 3-2
3-1-3. Clock and Control Signal System 3-3
3-2. AD-20 Board Circuitry 3-5
3-2-1. A/D Converter 3-5
3-2-2. H-PLL Circuit 3-6
3-2-3. Write Clock Generator 3-8
3-2-4. Velocity Error Detector Circuit 3-11
3-2-5. Write Zero Generator 3-12
3-2-6. V Timing Generator 3-14
3-2-7. DO Pulse Stretcher 3-15
3-3. MY-21 Board Circuitry 3-16
3-3-1. Main Memory 3-16
3-3-2. Y Signal and Chroma Signal Processor Circuit 3-19
3-3-3. Processing by Individual Mode 3-23
3-4. SG-10 Board Circuitry 3-28
3-4-1. SYNC Generator 3-28
3-4-2. Read Clock Generator 3-32
3-4-3. Velocity Error Correction Circuit 3-36
3-4-4. Read Zero Generator 3-38
3-4-5. REF VN, Y ADD INH Generator 3-39
3-5. PR-64 Board Circuitry 3-40
3-5-1. D/A Converter 3-40
3-5-2. Video Signal Processing Circuit 3-41
3-5-3. Reference Burst Signal Generator 3-43
3-5-4. Dark Clipper 3-44
3-5-5. Output Video Buffer and SYNC Adding Circuit 3-44
3-6. Signals 3-45

4. GENERAL INFORMATION FOR ALIGNMENT

4-1. Index of Alignment Components 4-1
4-2. Alignment Sequence 4-2

5. 調整前の準備

5-1. 使用機器 …… 5-1
5-2. テスト信号 …… 5-2
5-3. 機器の接続 …… 5-3
5-4. VTRのセッティング …… 5-3
5-4-1. レベルコントロールパネル部 …… 5-3
5-4-2. ファンクションコントロールパネル部 … 5-3
5-4-3. コネクターパネル部 …… 5-3
5-4-4. その他のスイッチ，ボリュームのセッティング …… 5-3
5-5. BKH-2150のセッティング …… 5-4
5-6. リモートコントロールユニットのセッティング …… 5-4

6. クロック・制御信号系調整

6-1. SYNCジェネレーター調整 …… 6-2
6-1-1. +5V調整 …… 6-2
6-1-2. SYNC位相プリセット調整 …… 6-2
6-1-3. TBCフレーム信号位相調整 …… 6-3
6-1-4. Hブランキングパルス幅調整 …… 6-3
6-1-5. SC位相変調器調整 …… 6-4
6-2. ライトクロックジェネレーター調整 …… 6-5
6-2-1. WINDOW位置調整 …… 6-5
6-2-2. のこぎり波レベル調整 …… 6-5
6-2-3. AFC VCO調整 …… 6-6
6-2-4. F BID WRITE ZERO調整 …… 6-6
6-2-5. VCOスタートパルス調整 …… 6-6
6-2-6. WRITE ZERO調整 …… 6-7
6-2-7. WRITE V調整 …… 6-7
6-3. リードクロックジェネレーター調整 …… 6-8
6-3-1. 波形デューティ調整 …… 6-8
6-3-2. ベロシティエラーオフセット調整 …… 6-9
6-3-3. ベロシティエラーゲイン調整 …… 6-9
6-3-4. バーストチューニング調整 …… 6-9
6-3-5. REF CF WINDOW調整 …… 6-10

7. ビデオ信号系調整

7-1. A/Dコンバーター調整 …… 7-2
7-1-1. 基準電圧調整 …… 7-2
7-1-2. バイアス調整 …… 7-2
7-1-3. ペデスタルレベル調整 …… 7-2
7-1-4. A/Dコンバーター入力レベル調整 …… 7-3

5. PREPARATION FOR ALIGNMENT

5-1. Equipment Required 5-1
5-2. Test Signals 5-2
5-3. Connection 5-3
5-4. Initial Setting of VTR 5-3
5-4-1. Level Control Panel 5-3
5-4-2. Function Control Panel 5-3
5-4-3. Connector Panel 5-3
5-4-4. Other Switch & Control Setting 5-3
5-5. Initial Setting of the BKH-2150 5-4
5-6. Initial Setting of Remote Control Unit 5-4

6. CLOCK AND CONTROL SIGNAL SYSTEM ALIGNMENT

6-1. Sync Generator Alignment 6-2
6-1-1. +5V Adjustment 6-2
6-1-2. Sync Phase Preset Adjustment 6-2
6-1-3. TBC Frame Signal Phase Adjustment . . . 6-3
6-1-4. H Blanking Pulse Width Adjustment 6-3
6-1-5. SC Phase Shifter Adjustment 6-4
6-2. Write Clock Generator Alignment 6-5
6-2-1. Window Position Adjustment 6-5
6-2-2. Sawtooth Level Adjustment 6-5
6-2-3. AFC VCO Adjustment 6-6
6-2-4. F BID Write Zero Adjustment 6-6
6-2-5. VCO Start Pulse Adjustment 6-6
6-2-6. Write Zero Adjustment 6-7
6-2-7. Write V Adjustment 6-7
6-3. Read Clock Generator Alignment 6-8
6-3-1. Waveform Duty Adjustment 6-8
6-3-2. Velocity Error Offset Adjustment 6-9
6-3-3. Velocity Error Gain Adjustment 6-9
6-3-4. Burst Tuning Adjustment 6-9
6-3-5. REF CF Window Phase Adjustment 6-10

7. VIDEO SIGNAL SYSTEM ALIGNMENT

7-1. A/D Converter Alignment 7-2
7-1-1. Reference Voltage Adjustment 7-2
7-1-2. Bias Adjustment 7-2
7-1-3. Pedestal Level Adjustment 7-2
7-1-4. A/D Converter Input Level Adjustment 7-3

7-2. プロセッサー調整 7-4
7-2-1. ビデオレベルオフセット調整 7-4
7-2-2. ビデオレベルプリセット調整 7-5
7-2-3. ビデオアンプ周波数特性調整 7-6
7-2-4. ディレーライン周波数特性調整 7-7
7-2-5. クロマレベルプリセット調整 7-8
7-2-6. セットアップレベルプリセット調整 7-9
7-2-7. ダーククリップレベル調整 7-9
7-2-8. バースト信号位置／幅調整 7-10
7-2-9. バースト信号レベル調整 7-10
7-2-10. SYNC レベル調整 7-11
7-2-11. A／D コンバーターバランス調整 7-11
7-2-12. HUE プリセット調整 7-12
7-2-13. PB CF WINDOW 調整 7-13

7-2. Processor Alignment 7-4
7-2-1. Video Level Offset Adjustment 7-4
7-2-2. Video Level Preset Adjustment 7-5
7-2-3. Video Amp. Frequency Response Adjustment 7-6
7-2-4. Delay Line Frequency Response Adjustment 7-7
7-2-5. Chroma Level Preset Adjustment 7-8
7-2-6. Set up Level Preset Adjustment 7-9
7-2-7. Dark Clip Level Adjustment 7-9
7-2-8. Burst Position and Width Adjustment 7-10
7-2-9. Burst Level Adjustment 7-10
7-2-10. Sync Level Adjustment 7-11
7-2-11. A/D Converter Balance Adjustment 7-11
7-2-12. HUE Preset Adjustment 7-12
7-2-13. PB CF Window Adjustment 7-13

A. BLOCK DIAGRAMS

Overall Block Diagram A-1
AD-20 Board; A/D Converter A-3
MY-21 Board; 16-Line Memory A-5
SG-10 Board; Sync Generator A-7
PR-64 Board; Processor A-9

B. SEMICONDUCTOR PIN ASSIGNMENTS

Index B-1
Diode B-3
Transistor B-3
IC B-4

C. SCHEMATIC DIAGRAMS & BOARD LAYOUTS

AD-20 Board; A/D Converter C-3
MY-21 Board; 16-Line Memory C-8
SG-10 Board; Sync Generator C-14
PR-64 Board; Processor C-20

D. REPLACEABLE PARTS

Notes on Repair Parts D-1
AD-20 Board D-2
MY-21 Board D-6
SG-10 Board D-7
PR-64 Board D-10

E. CHANGED PARTS

第3章
回路説明

3-1. 概説

3-1-1. 回路構成

BKH-2150の基本的な回路構成を図3-1-1に示す。
BKH-2150は，AD-20，MY-21，SG-10，PR-64の4枚のプリント基板で構成される。
AD-20基板には，メモリー書き込み側のビデオ信号系回路とクロック・制御信号系回路が設けられている。
MY-21基板には，16ラインTBCメインメモリーとDT再生時の信号処理回路，ドロップアウト補償回路，それに，各回路を制御するシーケンサーなどが設けられている。
PR-64基板には，メモリー読み出し側のビデオ信号系回路が設けられている。この基板内のプロセッサーにより，TBC OUTのビデオレベル，クロマレベル，セットアップは任意に調整できる。
SG-10基板には，メモリー読み出し側のクロック・制御信号系回路が設けられている。
ビデオ信号のTBC処理の概要を図3-1-2に示す。

SECTION 3
THEORY OF OPERATION

3-1. OUTLINE

3-1-1. Circuit Composition

Fig. 3-1-1 shows the basic circuit composition of the BKH-2150.
The BKH-2150 consists of four printed circuit boards: AD-20, MY-21, SG-10 and PR-64.
The video signal system circuit and clock control system circuit on the memory write side are provided on the AD-20 board.
The MY-21 board contains the 16-line TBC main memory, the signal processing circuit for DT playback, the dropout compensator circuit and the sequencer for controlling the various circuits.
The video signal system circuit on the memory read side is provided on the PR-64 board. By means of the processor on this board, it is possible to adjust the video level, chroma level and setup of TBC OUT.
The clock and control signal system on the memory read side is provided on the SG-10 board.
An outline of the TBC processing of the video signal is shown in Fig. 3-1-2.

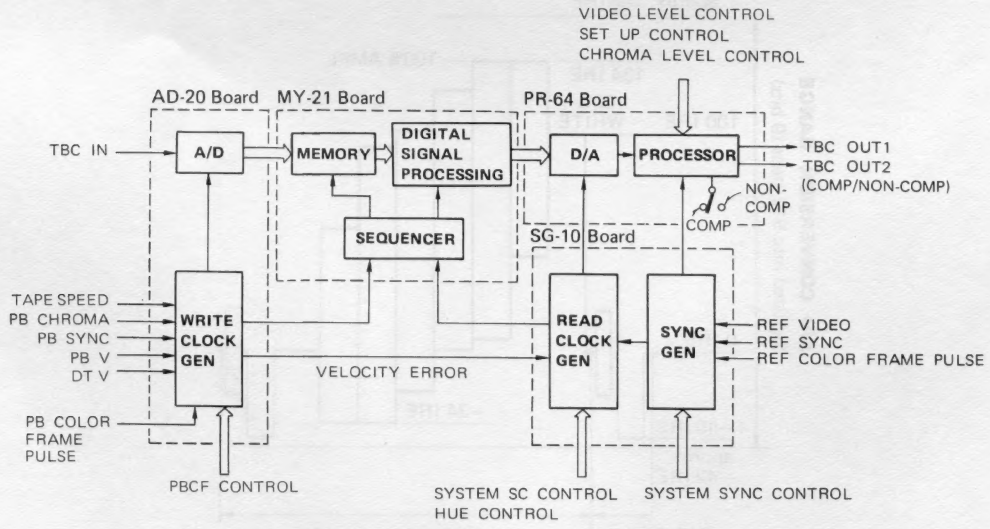


図3-1-1. BKH-2150の基本構成

Fig. 3-1-1 Basic Composition of BKH-2150

3-1-2. ビデオ信号系

入力ビデオ信号はビデオアンプ，前置フィルターを経た後，A/Dコンバーターにおいて4 fscのサンプリング周波数で9ビットデータにディジタル化され，MY-21基板のメインメモリー（容量：16ライン）に書き込まれる。
書き込まれたデータは，リファレンス系の4 fscのクロックで読み出され，Y/C分離，ライン加算，くし形フィルターによる濾波などのディジタル処理を受け，さらに，そのペデスタルレベルが一定値に置き換えられてからPR-64基板のD/A変換回路に送られ，アナログのビデオ信号に復元される。ディジタル的に固定されたペデスタルレベルは，D/A変換回路において，ビデオレベル制御のサンプルレベルとなっている。
アナログビデオ信号は，この後，クロマレベル，セットアップの各レベル制御を受け，次にリファレンスの同期信号，バースト信号が付加されてTBC出力（TBC OUT 1, 2）となる。なお，TBC OUT 2のビデオ信号は，COMP／NON COMPの切換えをすることができる。

3-1-2. Video Signal System

The input video signal passes through the video amplifier and pre-filter, it then enters the A/D converter where it is digitized into 9-bit data by a sampling frequency of 4fsc, and it is written into the MY-21 board main memory (capacity of 16 lines). The written data is read out by means of the 4fsc clock of the reference system. The Y and C signals are separated, lines are added, filtering is provided by a comb filter, and other digital processes are performed. After the pedestal level of the data is substituted by a constant value, the data is sent to the D/A converter circuit on the PR-64 board where the data is restored to the analog video signals. The digitally fixed pedestal level is used as the sample level for video level control in the D/A converter circuit.
The analog video signal subsequently undergoes control of its chroma level and setup, then the reference sync signal and burst signal are added, resulting in the TBC output (TBC OUT 1 and 2). The TBC OUT 2 video signal can be set to COMP or NON-COMP.

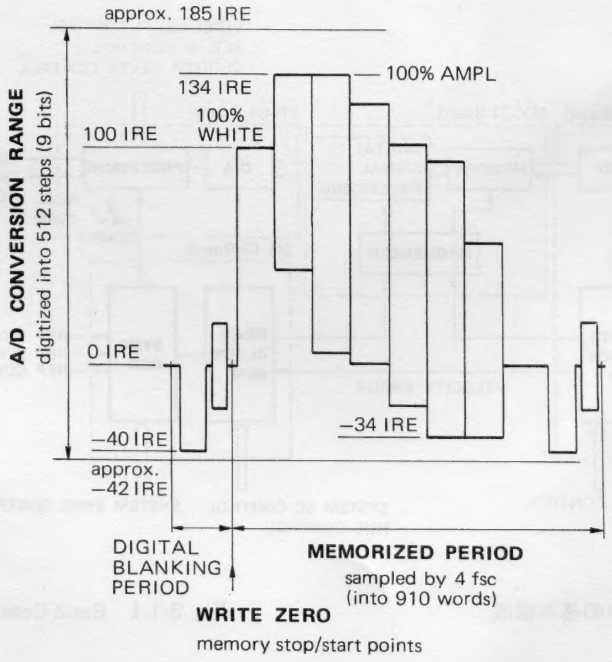


図3-1-2. ビデオ信号のTBCの処理

Fig. 3-1-2 TBC Processing of Video Signals

3-1-3. クロック・制御信号系

A/D変換とメモリー書き込みに使われる4 Fscの書き込みクロックW CKは，再生バースト信号を位相基準とするAPC方式で発生される。BKH-2150はノーマル再生信号のみならずDT再生信号も時間軸補正の対象とするので，W CKの周波数が再生信号の周波数変動に追従するように，W CKの周波数には，PB SYNCを基準とするAFCがかけられている。この発生方式によって，W CKは±7倍速までの再生信号にカラーロックすることができる。

メインメモリーの書き込みスタートを指示するWZN信号は，H SYNCエッジから常に一定の点に発生される。WZNは，書き込み側のSCであるW SC（W CKを1/4に分周した信号）で同期化されている。同期化の際のW SCは，WZNの発生点がライン毎にSC半周期分のシフトを生じないように，各ラインで位相反転され，ライン相互の位相関係が同相になっている。WZNのHに対する位相は，SCの1周期分を1ステップとして，5ステップの範囲で調整できる。これにより，TBC出力のビデオ位相を最大1.4 μsp-pまで変えることができる。

ベロシティエラーは，再生バースト信号中央付近のSC一波の位相をもつ信号とW SCとを位相比較することにより検出している。検出されたエラー電圧は，メインメモリーに対応して設けられているベロシティーエラーメモリーを介して読み出し側へ送られ，二次曲線近似により読み出しクロックR CKを位相変調する。これによって，カラー処理における残留位相誤差が±2.5 ns以下という高精度なベロシティエラー補償が行なわれる。

D/A変換とメモリー読み出しに使われる読み出しクロックR CKは，SR VIDEOのバースト信号に位相ロックしたSCを4逓倍して作られる。R CKの周波数は4 fscである。R CKにはベロシティエラー補償のための位相変調がかけられている。また，R CKの位相は，HUE調整のために，外部コトロールが可能である。

メインメモリーの読み出しスタートを指示するRZN信号は，WZNと同じように，H SYNCから常に一定の点に作られる。RZNを同期化する読み出し側のSCの位相は，W SCの位相反転に対応するように，ライン毎に反転されている。正方向，負方向，どちらの極性に反転するかは，MY-21基板から送られているRZ SHIFT信号によって決められる。

メインメモリー書き込み／読み出しのアドレス信号（W ADDRESSおよびR ADDRESS）はW CK，R CKから作られる。メインメモリーは，1ラインについて1Kワードが割り当てられているが，実際にアドレッシングされるのは約910ワードである。

3-1-3. Clock and Control Signal System

The 4fsc write clock W CK, which is used for A/D conversion and memory write, is generated in the APC system which uses the off-tape burst signal as its phase reference. Because not only the normal playback video signal but also the DT playback signal undergo time base correction in the BKH-2150, AFC, whose reference is PB SYNC, is applied to the W CK frequency so that this frequency will track the frequency fluctuations in the playback signal. This system is such that W CK can provide color lock for playback signals up to ± 7 times the normal speed.

The WZN signal, which designates the start of main memory write, is always generated from the edge of H SYNC to a constant point. WZN is synchronized with W SC (=W CK/4) which is the SC on the write side. During synchronization, W SC is phase-inverted at each line, and the lines are brought into phase with each other, to prevent the generation point of WZN shifting by the half-cycle of SC at each line. The phase of WZN with respect to H can be adjusted in 5 steps, with each step being equal to a period of SC. In this way, the video phase of the TBC output can be varied up to a maximum of 1.4 μsp-p.

The velocity error is detected by a phase comparison of W SC and an SC wave in the vicinity of the center of the off-tape burst signal. The detected error voltage is sent to the read side via the velocity error memory, which is provided to correspond with the main memory, and it phase-modulates the read clock R CK by second-order approximation. In this way, high-precision velocity error compensation resulting in a residual phase error of within ±2.5 ns during color processing is obtained.

The read clock R CK, which is used for D/A conversion and memory read, is generated by quadrupling SC which is phase-locked with the SR VIDEO burst signal. The frequency of R CK is 4fsc. Phase modulation for velocity error compensation is applied to R CK. The phase of R CK can be controlled externally for HUE adjustments.

Like WZN, the RZN signal which designates the start of main memory read is always generated from the edge of H SYNC to a constant point. The phase of SC on the read side, which synchronizes RZN, is inverted at each line to correspond with the phase-inversion of W SC. Whether the phase is to be inverted positively or negatively is determined by the RZ SHIFT signal which is sent from the MY-21 board.

The write/read address signals of the main memory (W ADDRESS and R ADDRESS) are generated from W CK and R CK. In the main memory, 1K words are assigned to one line although, in actual fact, 910 words are addressed.

ドロップアウト補償はメインメモリーの読み出し側で行なわれる。再生ビデオ信号のドロップアウトを示すY DO, C DO信号は，書き込み側のSC位相のライン反転を示す信号W N/Iと共に，メインメモリーに対応して設けられている専用メモリーへW CKによって書き込まれ，ビデオデータと同様，リファレンス系のクロックR CKで読み出される。この後，Y DO, C DO信号は，パルス幅，遅延時間が調整されてからドロップアウト補償処理のためのタイミング信号となる。

シンクジェネレーターはSG-10基板に設けられている。ここからは，TBCの基準同期信号（TBC SYNC, TBC VDなど）やVブランキング信号，バーストフラグ信号が発生される。シンクジェネレーターの外部同期信号には，BVH-2000のREF SYNCが使われる。Vブランキングについては，10ラインから21ラインまでの間の任意のラインを選択することができる。

BKH-2150はカラーフレーミング調整が可能である。メモリーの書き込み，読み出し両側におけるSC-H位相が最適値に調整されると“PB CF IN”と“REF CF IN”のランプが点灯する。

Dropout compensation is performed at the main memory read side. The Y DO and C DO signals, which denote the dropouts in the playback video signals, are written along with the W N/I signal, which denotes the line inversion of the write side SC phase, by W CK into the special memory provided to correspond to the main memory. After the pulse width and delay time of the Y DO and C DO signals have been adjusted, these signals form a timing signal for dropout compensation processing.

A sync generator is provided on the SG-10 board. From here, the TBC reference sync signals (TBC SYNC, TBC VD, etc.), the V blanking signal and the burst flag signal are generated. The REF SYNC signal of BVH-2000 is used as the external sync signal of this sync generator. Regarding V blanking, it is possible to select any line between line 10 and line 21.

With the BKH-2150, it is possible to adjust the color framing. When the SC-H phase on both the memory write and read sides is adjusted to the optimum values, the “PB CF IN” and “REF CF IN” lamps will light up.

3-2. AD-20基板回路

AD-20基板には，入力ビデオ信号を9ビットデータに変換するA/Dコンバーターとメモリー書き込み側のクロック・制御信号系回路が設けられている。

3-2-1. A/Dコンバーター

回路の概要を図3-2-1に示す。
入力ビデオ信号（DEMOD OUT 1）は，前置フィルターLPF1（カットオフ周波数8 MHz）で帯域制限された後，IC89でレベル，DCオフセットが調整される。DCオフセットレベルは，D/A変換後のペデスタルレベルが基準レベルに一致するように調整されている。IC89出力は，サンプルホールド回路を経てA/Dコンバーター（IC-2VW）へ送られる。
A/Dコンバーターには直並列型9ビットパラレル出力のLSIを用いている。クロックは4 fscのW CK，変換範囲は0～−2.5 Vである。図3-2-2に規定の入力信号に対するA/D変換範囲を示す。

3-2. AD-20 BOARD CIRCUITRY

The AD-20 board contains the A/D converter for converting the input video signal into 9-bit data and the clock and control signal system circuits at the memory write side.

3-2-1. A/D Converter

An outline of the circuit is shown in Fig. 3-2-1.
The input video signal (DEMOD OUT1) is band pass restricted by the pre-filter LPF1 (with a cut-off frequency of 8 MHz), and its level and DC offset are then adjusted by IC89. The DC offset level is adjusted so that the pedestal level subsequent to D/A conversion tallies with the reference level. The IC89 output is sent through the sample & hold circuit to the A/D converter (IC-2VW).
Used for the A/D converter is an LSI with a 9-bit series-parallel type. The clock is the 4fsc W CK and the conversion range is from 0 to − 2.5 V. Fig. 3-2-2 shows the A/D conversion range with respect to the prescribed input signal.

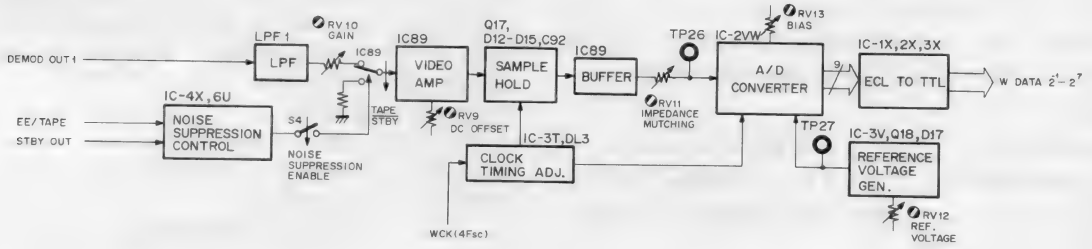


図3-2-1. A/Dコンバーター

Fig. 3-2-1. A/D Converter

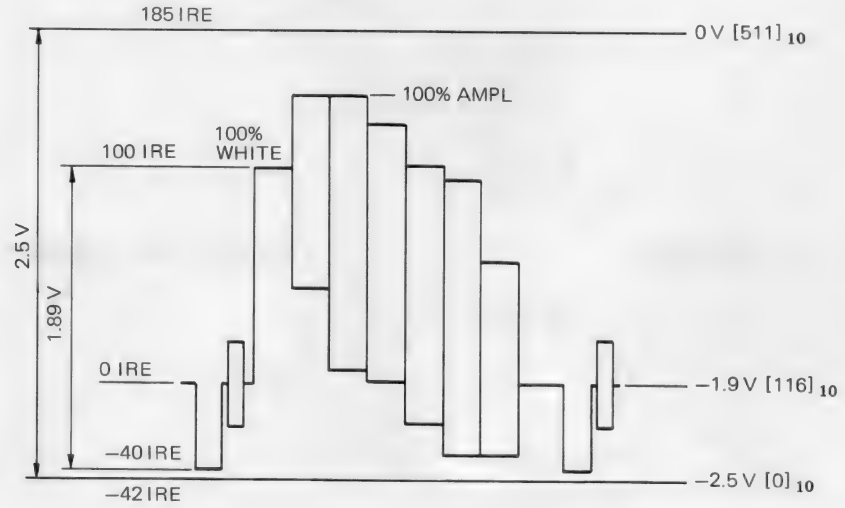


図3-2-2. A/D変換範囲

Fig.3-2-2. A/D Conversion Range

なお，BKH-2150では，VTRのヘッドドラムが停止している時に生じる無信号ノイズをミューティングすることができる。ノイズサプレッションイネーブルスイッチS4をONにすると，TAPE・$\overline{\text{STBY}}$時に，IC89の入力はGNDレベルとなり，TBC出力はブラックレベルになる。

3-2-2. H-PLL回路

H-PLL回路の主な機能は，PB SYNC信号からできるだけノイズを除去すると共に，PB SYNCの一部が欠落しても安定な再生H情報を再現することである。
H-PLL回路は，ノイズ除去回路1，2およびPLL回路で構成されている。

[1] ノイズ除去回路1
回路の概要を図3-2-3に示す。
PB SYNC入力のパルスによって鋸歯状波電圧を発生し，これを3Vでスライスする。この動作により，ノーマル再生において鋸歯状波の波高が3Vに達しないパルス幅3 μs以下のパルスは，TP35では除去されている。
なお，ノーマル再生において3 μs以下のパルスが，可変速再生においてもノイズとして除去されるように，鋸歯状波の傾斜はVTRの再生速度情報ANA OUT SPRによって制御されている。
鋸歯状波電圧のスライスレベルを加減することにより，H SYNC位相を調整することができる。この調整は，書き込み側カラーフレーミング（SC-H位相）調整のために用いられる。
図3-2-4に各部の波形を示す。

The BKH-2150 is capable of muting the no-signal noise which is generated when the VTR head drum has stopped. When the noise suppression enable switch S4 is set to ON, the IC89 level is set to the GND level during TAPE·$\overline{\text{STBY}}$, and the TBC output is set to the black level.

3-2-2. H-PLL Circuit

The main functions of the H-PLL circuit consist in removing as much noise as possible from the PB SYNC signal and in reproducing stable playback H information even if part of the PB SYNC is missing.
The H-PLL circuit consists of the noise rejection circuits 1 and 2, and of the PLL circuit.

[1] Noise rejection circuit 1
An outline of the circuit is shown in Fig. 3-2-3.
A sawtooth wave voltage is generated by the PB SYNC input pulses and this is sliced by 3V. At TP35, this operation removes all pulses with a pulse width of less than 3 μs whose sawtooth wave peak has not reached 3V during normal playback.
In order for the pulses below 3 μs in normal playback to be removed as noise even during variable-speed playback, the slope of the sawtooth wave is controlled by the VTR's playback speed information ANA OUT SPR.
It is possible to adjust the H SYNC phase by increasing or reducing the slice level of the sawtooth wave voltage.
This adjustment is used for the color framing (SC-H phase) adjustment at the write side.
Fig. 3-2-4 shows the various waveforms.

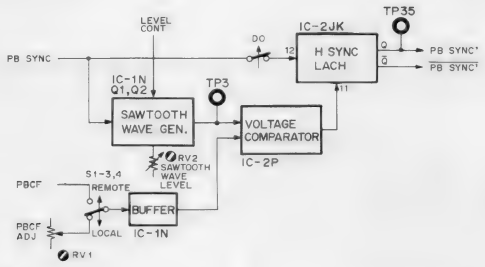


図3-2-3. ノイズ除去回路1

Fig. 3-2-3. Noise Rejection Circuit 1

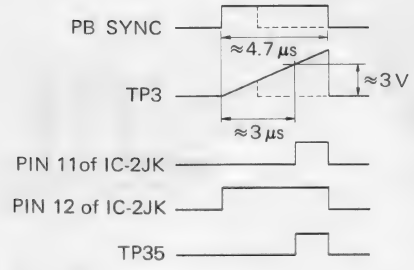


図3-2-4. ノイズ除去回路1の波形

Fig. 3-2-4. Waveforms of Noise Rejection Circuit 1

[2] ノイズ除去回路 2

回路の概要を図3-2-5に示す。

この回路は，1Hの周期性を持ったパルスのみを取り出す。

ノイズ除去回路1出力（IC-2JK，8ピン）を1H遅延させてWINDOWをつくり，そのWINDOWを通過したパルスを正しいH SYNCとみなす。1H遅延回路は，WINDOWをH SYNCの位相変動に追従させるために，PLLで構成されている。

ノイズ除去回路出力2（IC-4L，7ピン）はSH（SELECTED H）と呼ばれる。SHは，ノーマル再生またはDT再生の場合にはWINDOWで選別を受けた信号となるが，それ以外の再生モードではWINDOW選別を受けない信号（IC-2JK，9ピン出力）となる。

図3-2-6に各部の波形を示す。

[2] Noise rejection circuit 2

An outline of the circuit is shown in Fig. 3-2-5.

It takes out only the pulses with 1H periodicity.

The noise rejection circuit 1 output (pin 8 of IC-2JK) is 1H delayed, the WINDOW is created, and the pulses which have passed through this WINDOW are treated as the proper H SYNC. The 1H delay circuit is composed of a PLL circuit so that the window is tracked by the phase fluctuations in the H SYNC.

The noise rejection circuit 2 output (pin 7 of IC-4L) is known as SH (SELECTED H). SH is the signal which has undergone selection by the WINDOW during normal playback or DT playback and in all other playback modes it is the signal (output from pin 9 of IC-2JK) which does not undergo window selection.

Fig. 3-2-6 shows the various waveforms.

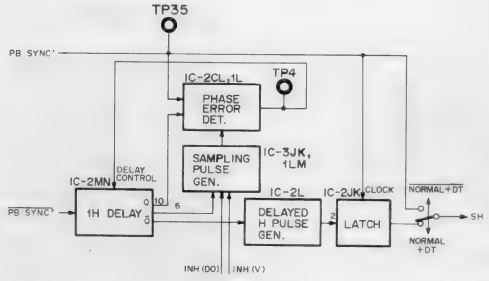


図3-2-5. ノイズ除去回路2

Fig. 3-2-5. Noise Rejection Circuit 2

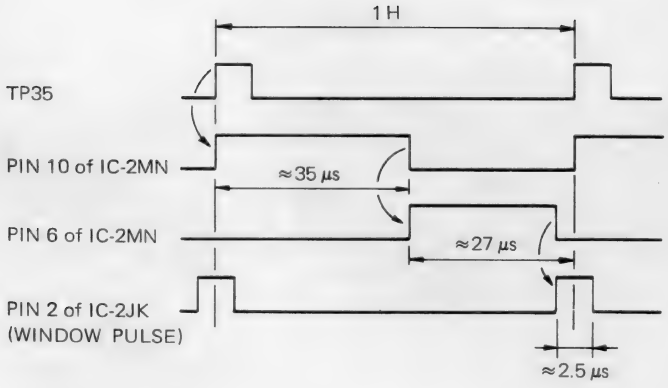


図3-2-6. ノイズ除去回路2の波形

Fig. 3-2-6 Waveforms of Noise Rejection Circuit 2

[3] PLL回路

回路の概要を図3-2-7に示す。

ノイズが除去されたPB SYNCのH位相に位相ロックしているVCO出力(910 FH)は，IC-2Eによって910分周されてHレートの信号WCNTHとなる。WCNTH信号は，PLLの働きによって，PB SYNCが一部欠落してもその連続性は損われることはなく，安定な再生H情報を持つ信号となっている。

IC-1BUでは，ノイズ除去回路を経たPB SYNCと，WCNTHから作られたWINDOWとを位相比較している。PB SYNCのH位相がWINDOWから外れていることが検出されると，910分周カウンター(IC-1E)はPB SYNCのH位相でリセットされ，WCNTH位相はPB SYNCのH位相に強制的に合わせ込まれる。

3-2-3. WRITE CLOCKジェネレーター

WRITE CLOCK(W CK)ジェネレーターは，A/D変換とメインメモリー書き込みに使われる書き込みクロックW CKを発生する回路である。W CKは，位相が再生バースト信号の一波に一致し，周波数がH-PLL回路で作られた910 FHに一致するように作られる。

W CKを作る過程において，パルス幅が再生バースト信号の一波長に等しいパルスが作られる。ベロシティエラー検出回路(3-2-4項参照)では，このパルスを用いてベロシティエラーを検出している。

[3] PLL circuit

An outline of the circuit is shown in Fig. 3-2-7.

The VCO output (910FH), which is phase-locked to the H phase of the PB SYNC whose noise has been removed, is divided by 910 by IC-2E to form the H rate signal WCNTH. Through the operation of the PLL circuit, the WCNTH signal is made a signal having stable playback H information without losing its continuity even if part of the PB SYNC is missing.

IC-1BU serves to compare the phases of the PB SYNC which has passed through the noise rejection circuits and the WINDOW which has been created from WCNTH. If it is detected that the PB SYNC H phase deviates from that of the WINDOW, the divide by 910 counter (IC-1E) is reset by the PB SYNC H phase and the WCNTH phase is forcibly adjusted to the PB SYNC H phase.

3-2-3. WRITE CLOCK Generator

The WRITE CLOCK (W CK) generator is a circuit which generates the write clock (W CK) which is used for writing in the main memory and A/D conversion. The W CK is produced so that its phase matches the frequency of the off-tape burst signal and so that the frequency matches the 910FH created by the H-PLL circuit.

During the process in which W CK is created, the pulse width is such that the pulse created is equivalent to a period of the off-tape burst signal. The velocity error detection circuit (see Section 3-2-4) uses this pulse to detect the velocity error.

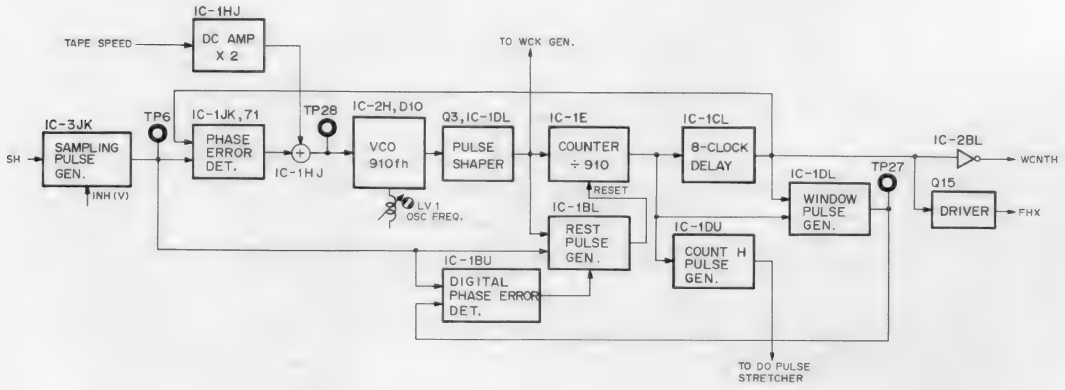


図3-2-7. H-PLL

Fig.3-2-7. H-PLL

[1] タイミングパルスジェネレーター，VCOスタートパルスジェネレーター

回路の概要を図3-2-8に示す。

LV3またはLV2，BPF1，IC-6JによってPB CHROMA信号から分離され，TTLレベルに変換された再生バースト信号はタイミングジェネレーター（IC-6H）に入力される。

タイミングパルスジェネレーターはシフトレジスタであり，パラレル出力からは再生バースト信号の一波ごとのタイミングが得られる。これらのタイミングからIC-6EF，6Dによって特定タイミングを検出する。VCOスタートパルスジェネレーター（IC-6EF）は，この特定タイミングをトリガとしてW CK発生用VCO（VCO1）のスタートパルスを発生する。この結果，W CKの位相は再生バースト信号の位相に一致したものとなる。

VCOスタートパルスのトリガーのタイミングは，高速（±7倍速以上）再生時およびB/W信号時には，次のようになる。

高速（±7倍速以上）再生：

ノイズ除去回路1を経たPB SYNCのHタイミング（IC-4K，10ピン出力）

B/W信号：

ノイズ除去回路1，2を経たPB SYNCのHタイミング（IC-4M，10ピン出力）

[1] Timing Pulse Generator, VCO start pulse generator

An outline of the circuit is shown in Fig. 3-2-8.

The off-tape burst signal, which has been separated from the PB CHROMA signal and converted into the TTL level by LV3 or LV2, BPF1 and IC-6J, is input into the timing pulse generator (IC-6H).

The timing pulse generator is a shift register and it provides timing for each wave of the off-tape burst signal from the parallel output. A specific timing is detected by IC-6EF and 6D from these timings. The VCO start pulse generator (IC-6EF) generates the VCO (VCO1) start pulse for generating W CK, using the specific timing as the trigger. As a result, the W CK phase tallies with the off-tape burst signal phase.

During high-speed playback (up to ±7 times normal speed) and with the B/W signal, the timing of the VCO start pulse trigger is as follows.

High-speed playback:

H timing (output from pin 10 of IC-4K) of PB SYNC which has passed through noise rejection circuit 1

B/W signal:

H timing (output from pin 10 of IC-4M) of PB SYNC which has passed through noise rejection circuits 1 and 2

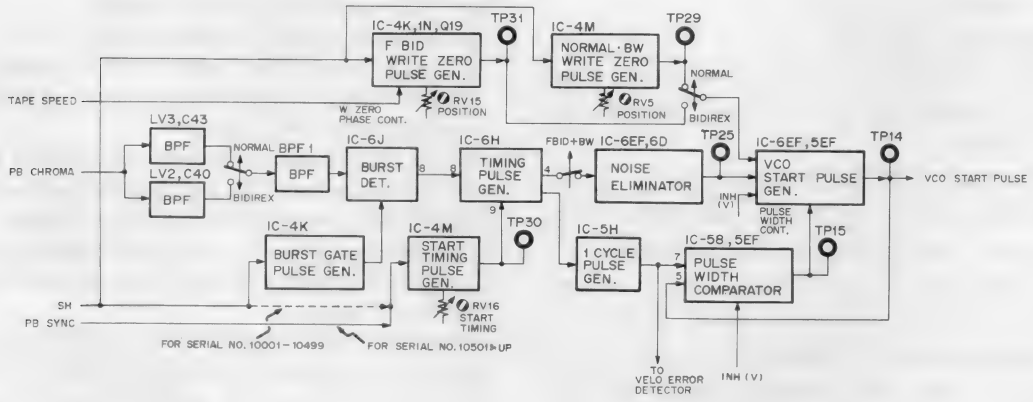


図3-2-8. タイミングパルス，VCOスタートパルスジェネレーター

Fig. 3-2-8. Timing Pulse and VCO Start Pulse Generator

なお，ノーマル再生時のVCOスタートパルスのパルス幅は，再生バースト信号の一周期と等しくなるように，IC-5H，5EF，58のパルス幅比較回路出力によって制御されている。パルス幅比較の基準パルスは，タイミングパルスジェネレーター出力を用いてIC-5H，5EFで作られる。この再生バースト信号一周期のパルスはベロシティエラーを検出するためにも用いられる。
図3-2-9に各部の波形を示す。

The pulse width of the VCO start pulse during normal playback is controlled by the IC-5H, 5EF and 58 pulse width comparator circuit output so that it is equivalent to a period of the off-tape burst signal. The reference pulse for pulse width comparison is generated by IC-5H and 5EF using the timing pulse generator output. The pulse of the off-tape burst signal period is used to detect the velocity error.
Fig. 3-2-9 shows the various waveforms.

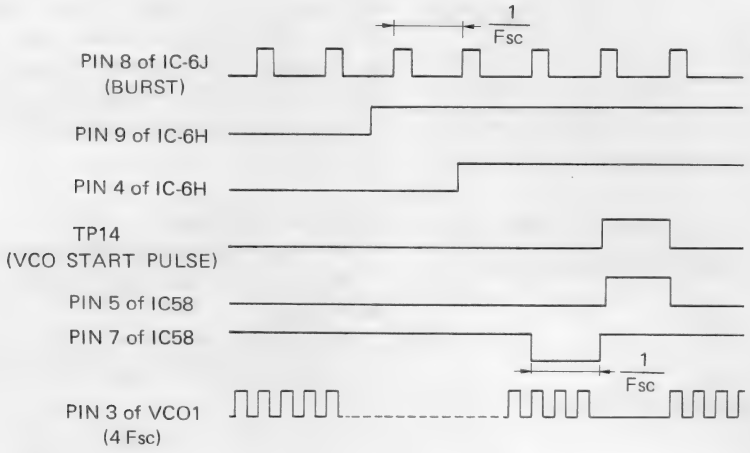


図3-2-9. タイミングパルス，
VCOスタートパルスジェネレーターの波形

Fig. 3-2-9. Waveforms of Timing Pulse and
VCO Start Pulse Generator

[2] W CK発生用VCO (VCO1)

回路の概要を図3-2-10に示す。
再生バースト信号の位相にロックしたVCO1出力 (4 Fsc) は，さらに，H-PLL回路で作られた910 F_H信号の周波数にロックされる。
VCO1出力 (4 Fsc) はIC-4DLで2分周された後，IC-3C，3Dの256分周カウンターへ送られる。256分周カウンターはVCOスタートパルスによってカウントを開始する。したがって，256分周カウンターのCO出力からは，ライン毎に4 Fscの512波分の幅を持つパルスが得られる。
一方，H-PLL回路で作られた910 F_HはIC-2BUで2分周され，さらにIC-2CL，2DLで256分周される。IC-2CL，2DLのカウンターもVCOスタートパルスによってカウントを開始するので，この256分周カウンターのCO出力からは，ライン毎に910 F_Hの512波分の幅を持つパルスが得られる。
IC-2CU，3Aのパルス幅比較回路は，4 Fscと910 F_Hそれぞれの512波分のパルスを比較し，エラー電圧でVCO1の発振周波数が910 F_Hになるように制御する。この結果，VCO1出力の4 Fscは再生H信号の周波数変動に追従している910 FHに周波数ロックする。

[2] VCO for W CK generation (VCO1)

An outline of the circuit is shown in Fig. 3-2-10.
The VCO1 output (4fsc), which has been locked to the off-tape burst signal, is locked to the frequency of the 910F_H signal provided by the H-PLL circuit.
After the VCO1 output (4fsc) has been divided by 2 by IC-4DL, it is sent to the IC-3C and 3D divide by 256 counter. This counter starts counting with the VCO start pulse.
Consequently, pulses with a width equivalent to 512 waves of the 4fsc are produced at each line from the divide by 256 counter CO output.
Meanwhile, the 910F_H produced by the H-PLL circuit is divided by 2 by IC-2BU and further divided by 256 by IC-2CL and 2DL. The IC-2CL and 2DL counter also starts counting with the VCO start pulse and so pulses with a width equivalent to 512 waves of the 910F_H are produced at each line from the divide by 256 counter CO output.
The IC-2CU and 3A pulse width comparator circuit compares the 512 wave pulses of 4fsc and 910F_H, and controls the oscillation frequency of VCO1 to 910F_H by the error voltage. As a result, the frequency of the VCO1 output 4fsc is locked to 910F_H which tracks the frequency fluctuations of the playback H signal.

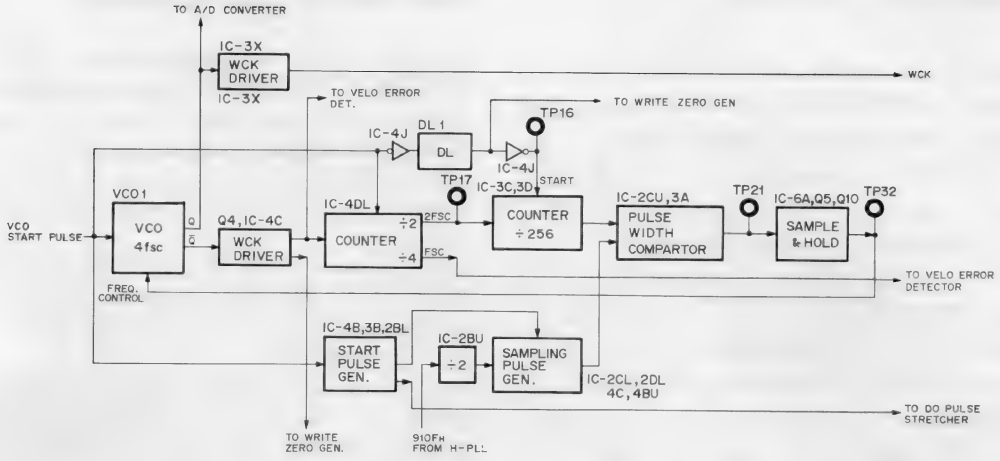


図3-2-10. WCK発生用VCO

Fig. 3-2-10. VCO of WCK Generation

3-2-4. ベロシティエラー検出回路

回路の概要を図3-2-11に示す。
VCO1出力の4 FscがIC-4DLで4分周されたFsc (TP20) と，PB CHROMAから分離された再生バースト信号の一波 (TP18) とを位相比較することによりベロシティエラーを検出している。
各部の波形を図3-2-12に示す。

3-2-4. Velocity Error Detector Circuit

An outline of the circuit is shown in Fig. 3-2-11.
This circuit serves to detect the velocity error by comparing the phases of Fsc (TP20), produced when the VCO1 output 4fsc is divided by 4 by IC-4DL, and of one wave (TP18) of the off-tape burst signal which has been separated from the PB CHROMA.
Fig. 3-2-12 shows the various waveforms.

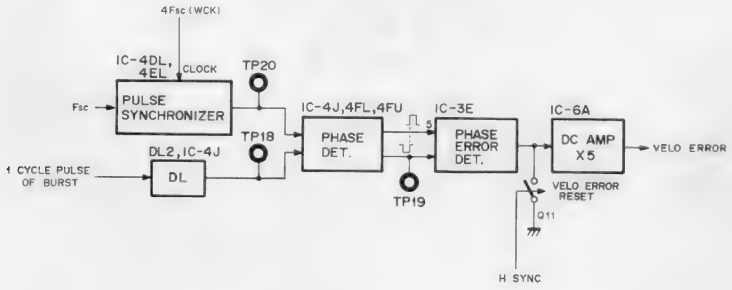


図3-2-11. ベロシティエラー検出回路

Fig. 3-2-11. Velocity Error Detector

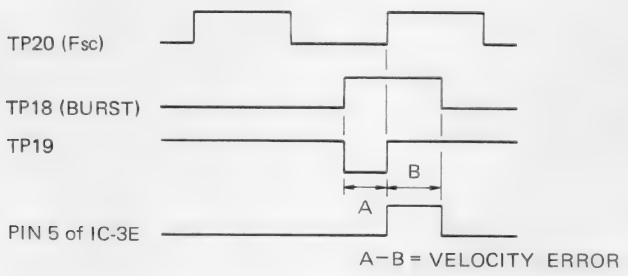


図3-2-12. ベロシティエラー検出

Fig. 3-2-12. Detection of Velocity Error

3-2-5. WRITE ZERO ジェネレーター

回路の概要を図3-2-13に示す。
WRITE ZERO (=WZN) 信号はメインメモリーへ入力映像信号を書き込む際の先頭位置を示す信号である。
WZNは，PB SYNCから作られたHパルス (IC-6P，12ピン出力) をライン毎に位相がそろえられたFsc (IC-5PU，6ピン出力) で同期化することによって作られる。
FscとHパルスとの間の同期化はIC-4RLで行なわれる。この同期化が安定に行なわれるように，IC-4RU，5N，6PのPLL回路ではHパルスの位相を制御している。このPLLはFscの一周期毎に安定点を持つため，擬似ロックを起こす可能性がある。これを防ぐために，オーバーエラー検出回路 (IC-6N) が設けてあり，過大誤差を検出するとHパルス位相を強制的に基準位置に戻している。
SC-H PLLの波形を図3-2-14に示す。

3-2-5. WRITE ZERO Generator

An outline of the circuit is shown in Fig. 3-2-13.
The WRITE ZERO (WZN) signal indicates the head position when the input video signal is written into the main memory. WZN is produced by synchronizing the H pulse (output from pin 12 of IC-6P) of the H pulse created from PB SYNC by Fsc (output from pin 6 of IC-5PU) whose phase has been aligned at every line.
Synchronization between Fsc and the H pulse is performed by IC-4RL. At the PLL circuit consisting of IC-4RU, 5N, and 6P, the phase of the H pulse is controlled so that this synchronization takes place stably.
Since the PLL has a stability point every Fsc period, pseudo locking may result. In order to safeguard against this possibility, an excessive error detection circuit (IC-6N) is provided, and when an excessive error is detected, the H pulse phase is forcibly returned to the reference position. The waveforms of the SC-HPLL are shown in Fig. 3-2-14.

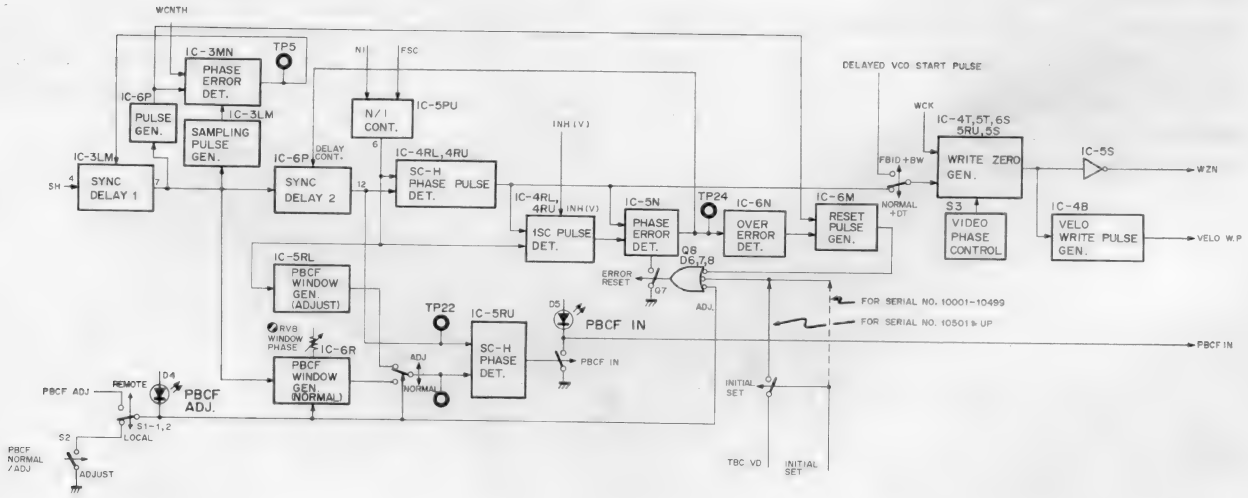


図3-2-13. WRITE ZEROジェネレーター

Fig. 3-2-13. WRITE ZERO Generator

スイッチS3，IC-4T，5T，6S，5RU，5Sで構成される回路は，WZNの位相を調整するための回路である。Fscの周期を1ステップとして，7ステップまで調整できる。これによって出力ビデオ位相が変えられる。

IC-5RL，6R，5RUの回路は書き込み側のSC-H位相を表示する回路である。この回路は，特定のSC-H位相に対してWINDOWをたてることによってSC-H位相が最適値であるかどうかの判定をする。最適値であると“PBCF IN”のLEDが点灯する。

PBCF NORMAL/ADJ SW (S2) をADJ側にするとIC-4RU，5N，6PのPLLはオープンとなり，PBCF ADJボリューム（RV1）によってSC-H位相を調整することができる。

なお，WINDOWは，NORMAL時はPB Hを基準にして作られた幅約120 nsのパルス，ADJ時はFscから作られた幅約30 nsのパルスである。

The circuit composed of switch S3, IC-4T, 5T, 6S, 5RU and 5S is for adjusting the WZN phase. Adjustment can be made up to 7 steps, with one Fsc period serving as one step. The output video phase is changed by this process.

The circuit composed of IC-5RL, 6R, and 5RU is for indicating the SC-H phase on the write side. This circuit sets up a window with respect to a specific SC-H phase in order to judge whether or not the phase of SC-H is the optimum value. If the phase is the optimum value, the ''PBCF IN'' LED lights. By setting PBCF NORMAL/ADJ SW (S2) to the ADJ side, the PLL circuit consisting of IC-4RU, 5N, and 6P goes open, enabling the SC-H phase to be adjusted by means of the PBCF ADJ control (RV1). During normal operation, the window is a pulse of about 120 ns width which is generated with reference to PB H; during adjustment, it is a pulse of about 30 ns width which is generated from Fsc.

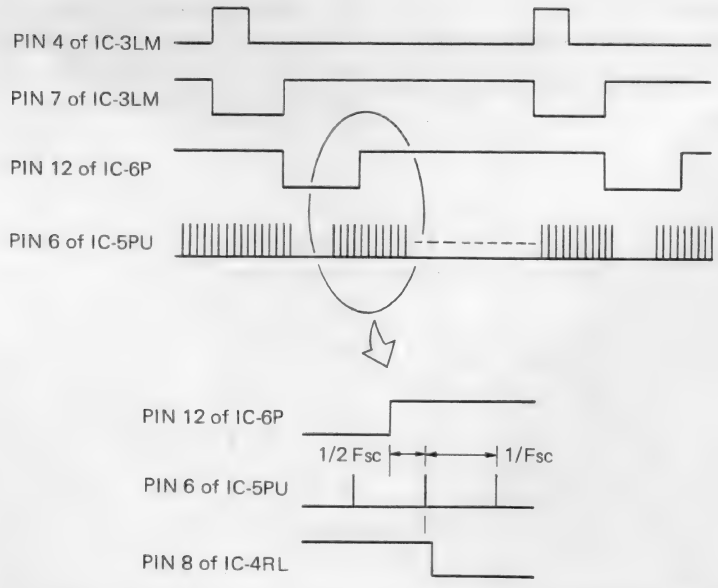


図3-2-14. SC-H PLLの波形

Fig. 3-2-14. Waveforms of SC-H PLL

3-2-6. Vタイミングジェネレーター

書込み側のV SYNCについて処理する回路である。回路の概要を図3-2-15に示す。

3-2-6. V Timing Generator

This circuit processes the V SYNC signal at the write side. An outline of the circuit is shown in Fig. 3-2-15.

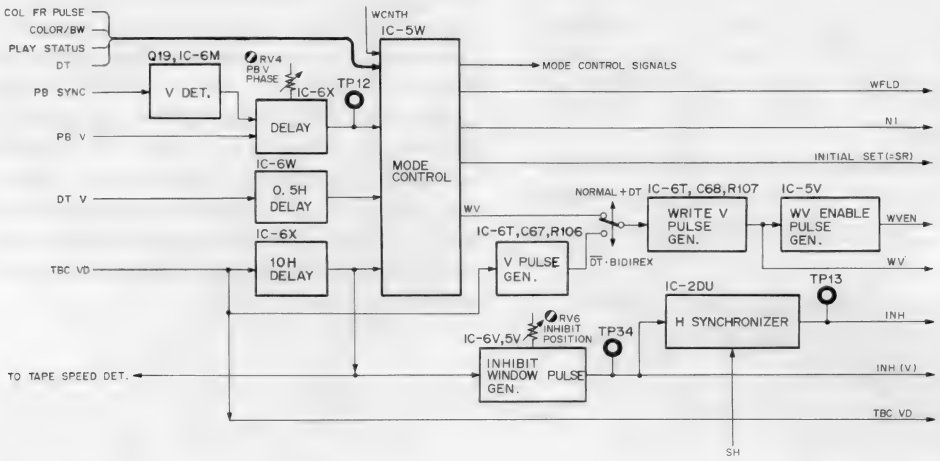


図3-2-15. Vタイミングジェネレーター

Fig. 3-2-15. V Timing Generator

[1] WRITE Vパルスジェネレーター

映像の垂直方向のスタートを示すWVN信号を作る回路である。VTRのモードにより，WVN発生の基準となる信号は表3-2-1のように変わる。

[1] WRITE V pulse generator

This circuit creates the WVN signal which indicates the start in the video vertical direction. The signal serving as the reference for WVN generation changes as Table 3-2-1 in accordance with the VTR mode.

MODE OF VTR	REF SIG. FOR WVN
EE	PB V
NORMAL PLAY	PB V
DT	DT V
SHUTTLE (EXCEPT DT)	TBC VD

表3-2-1. WVN発生の基準信号

Table 3-2-1. Reference Signal for WVN Generation

[2] カラーフレーミングリセット

再生ビデオ信号のSC-H位相はライン毎に反転するが，この反転の状態を示すNI信号（IC-5W，2ピン出力）は，COL FR PULSEとPB V信号によってPLAY STATUS信号の変化点"L→H"でリセットされる。これは，WZN信号を作るためのFscのライン反転を，再生ビデオ信号のSC-H位相反転に合わせるための処理である。

[2] Color framing reset

The SC-H phase of the playback video signal is inverted at each line. The NI signal (output from pin 2 of IC-5W), which indicates the inversion status, is reset by the change point "L → H" of the PLAY STATUS signal using the COL FR PULSE and PB V signals. This process is undertaken for aligning the line inversion of the Fsc for creating the WZN signal with the inversion of the playback video signal's SC-H phase inversion.

[3] INHIBIT WINDOWパルスジェネレーター

INHIBIT WINDOWパルスは，再生信号のVブランキング期間にあるノイズやスキューがH-PLL，WRITE CLOCKジェネレーター，WRITE ZEROジェネレーターの各回路の動作に悪影響しないように，動作を一時的に止める信号である。

INHIBIT WINDOWパルスはTBC VD信号を10H遅延させたタイミングで作られる。WINDOW幅は約25Hである。

3-2-7. DOパルスストレッチャー

回路の概要を図3-2-16に示す。

DOパルスストレッチャーは，再生ビデオ信号にドロップアウトが生じていることを示すDO2信号を引き伸ばす回路である。再生ビデオ信号のドロップアウト付近にはノイズが多くあると見なし，ドロップアウト範囲をDO2信号の幅よりも広くとる。引き伸ばされたDOパルスで各種の制御信号をゲートすることにより，TBC内部へ外乱を取り込まないようにしている。

DOパルスストレッチャー出力のY DO信号とC DO信号はMY-21基板へ送られてドロップアウト補償に用いられる。

Y DO信号はDO2信号が引き伸ばされた信号である。この信号によってY信号のドロップアウト部分は1H前のY信号に補間される。

C DO信号は，ドロップアウト時にクロマ信号の補間を部分的にするか，1ライン全体にわたってするかを指示する信号である。再生バースト信号がドロップアウトした時は，クロマ信号の1ライン全体が1H前のクロマ信号で補間される。

[3] INHIBIT WINDOW pulse generator

The INHIBIT WINDOW pulse signal temporarily stops operations so that noise or skew during the V blanking period of the playback signal does not adversely affect the H-PLL, WRITE CLOCK generator and WRITE ZERO generator.

The INHIBIT WINDOW pulse is created by the timing produced by delaying the TBC VD signal by 10H. The WINDOW width is approximately 25H.

3-2-7. DO Pulse Stretcher

An outline of the circuit is shown in Fig.3-2-16.

The DO pulse stretcher is a circuit which stretches the DO2 signal that indicates that dropouts have occurred in the playback video signal. It considers that there is a great deal of noise near the dropouts of the playback video signal and it increases the dropout range beyond the width of the DO2 signal.

By gating the various control signals with the stretched DO pulse, external disturbances are prevented from affecting the inside of the TBC.

The DO pulse stretcher output Y DO signal and DO signal are sent to the MY-21 board and used for the dropout compensation.

The Y DO signal is the result of the DO2 signal having been stretched. The dropout areas of the Y signal are interpolated by the Y signal of 1H before using the Y DO signal.

The C DO signal indicates whether the chroma signal interpolation should be conducted partially or over one line when dropouts have occurred. When dropouts have occurred in the off-tape burst signal, the entire line of the chroma signal is interpolated by the chroma signal of 1H before.

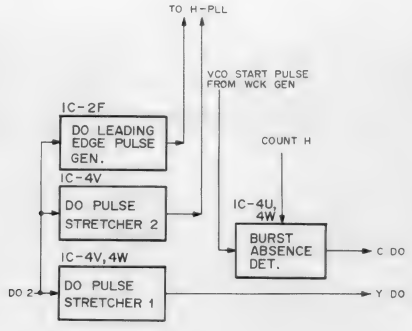


図3-2-16. DOパルスストレッチャー

Fig. 3-2-16. DO Pulse Stretcher

3-3. MY-21基板回路

MY-21基板には，再生ビデオ信号の時間軸誤差を取るためのメインメモリーと，DOC (Dropout Compensation)，DT (Dynamic Tracking)，BIDIREX処理などをするためのY信号，クロマ信号処理回路，それにノーマル再生（CHROMA OFFモード以外）でDOCをしない場合にビデオ信号をバイパスするバイパス回路が設けられている。
MY-21基板での信号処理はすべてディジタル方式で行なわれ，ノーマル再生のビデオ信号は9ビットで処理される。

3-3-1. メインメモリー

メインメモリーは16Hの容量があり，時間軸補正範囲は15Hp-pである。入力信号は8相に直並列変換されてメモリーに書き込まれる。
回路の概要を図3-3-1に示す。
メインメモリーには，ビデオ信号用メモリーと，DO・W N/I信号用メモリーがある。
ビデオ信号用メモリーは，SPS (Serial-Parallel-Serial Transform IC：CX23024) と2 kW×8 bit NMOS RAMがそれぞれ9個で構成されている。

3-3. MY-21 BOARD CIRCUITRY

Provided on the MY-21 board are the main memory for yielding the time base errors of the playback video signals, the Y signal and chroma signal processor circuits for DOC (dropout compensation), DT (dynamic tracking) and BIDIREX processing, and the bypass circuit for bypassing the video signals when dropouts are not compensated with normal playback (all modes except CHROMA OFF mode).
The signals are all processed digitally on the MY-21 board, and the video signals with normal playback are processed in 9 bits.

3-3-1. Main Memory

The main memory is characterized by a 16H capacity and its time base correction range is 15Hp-p. The input signals are serial-parallel converted into 8 phases and written into the memory.
Fig. 3-3-1 is a block diagram of the main memory. The main memory is composed of the video signal memory and the DO and W N/I signal memory.
The video signal memory is composed of 9 serial-parallel-serial transformer ICs (CX23024) and 9 2KW x 8-bit NMOS RAMs.

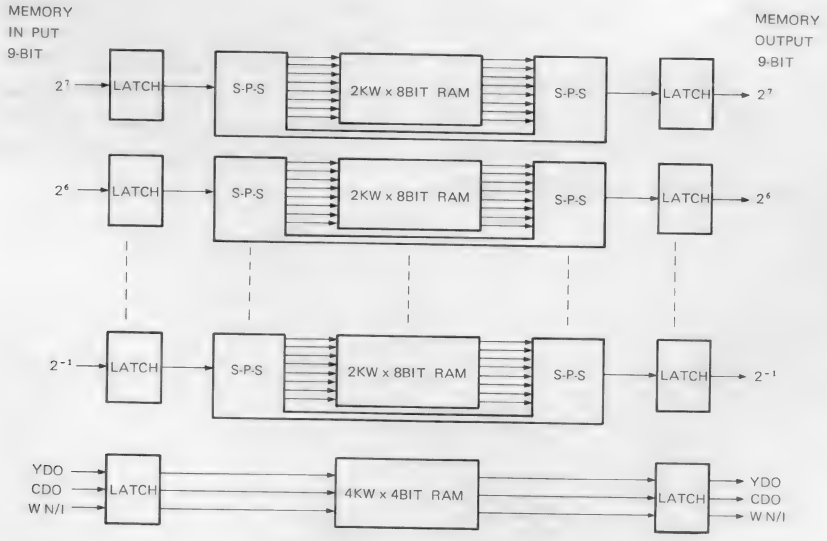


図3-3-1. メインメモリー

Fig. 3-3-1. Main Memory

DO・W N/I信号メモリーは4 kW×4 bit NMOS RAMである。
9ビットにディジタル化されたビデオ信号は，時間軸誤差がない場合，読み出しタイミングに対して8.5H進んだタイミングでメインメモリーに書き込まれる。
メインメモリーの書き込み／読み出しの制御はIC-3T，5Tがする。IC-3T，5Tは書き込みクロックW CK，読み出しクロックR CKによって内蔵のカウンターを動作させ，メモリーの書き込みアドレス，読み出しアドレスを発生する。通常，書き込みアドレスは図3-3-2に示すように，読み出しアドレスに対して8.5H進んでいるが，再生ビデオ信号の時間軸変動が非常に大きい場合などには，8.5Hよりもさらに進んで読み出しアドレスに追いついたり，逆に，遅れて読み出しアドレスが書き込みアドレスに追いついたりする。このような時，画像は16H分シフトしてしまう。これを防ぐためにIC-3T，5Tは，書き込みアドレス，読み出しアドレスのどちらかが一方に追いついた場合，追いついた方のアドレスを1H前に戻している。

The DO and W N/I signal memory is a 4KW x 4-bit NMOS RAM. The video signals, which have been digitally converted into 9 bits, are written into the main memory at a timing which is 8.5H ahead of the read timing when there is no time base error.
IC-3T and 5T exercise control over the main memory writing and reading. IC-3T and 5T activate the built-in counter by means of the write clock W CK and read clock R CK, and they generate the memory write and read addresses. Normally, the write address is 8.5H ahead of the read address, as shown by Fig. 3-3-2, but at such times as when the time base fluctuations of the playback video signal are very pronounced, it advances by a further 8.5H and catches up with the read address or, conversely, it is delayed and the read address catches up with the write address. At times like these, the picture shifts by an amount equivalent to 16H. In order to safeguard against this, IC-3T and 5T function to return the address which has caught up to 1H before, when either the write or read address has caught up with the other.

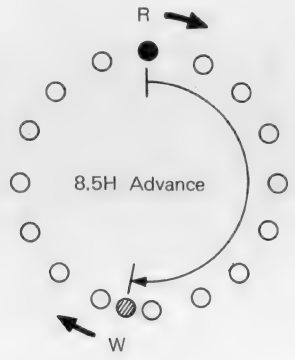


図3-3-2. 書き込み／読み出しの位相

Fig. 3-3-2. Phase of Write/Read

メモリーのタイミングチャートを図3-3-3に示す。読み出しタイミングはR点に固定されているが，書き込みタイミングWEDNは書き込みクロックと読み出しクロックの位相関係によってW1，W2，W3点のいずれかのタイミングとなる。

Fig. 3-3-3 is the timing chart of the main memory. The read timing is fixed at point R but the write timing WEDN may be at points W1, W2 or W3, depending on the phase relationship between the write and read clocks.

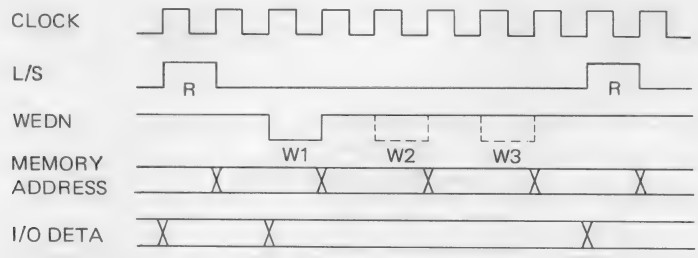


図3-3-3. メモリーのタイミングチャート

Fig. 3-3-3. Timing Chart of Memory

DTモードなどの特殊再生において4フィールドシーケンスに欠落がある場合，メモリーの読み出しアドレスは+1または−1のオフセットが加えられる。このオフセットの働きを図3-3-4に示す。奇数(O)フィールドと偶数(E)フィールドが逆転している再生信号は，“読み出しアドレス±1”の操作によって，

(A) Eフィールドを1H遅らせて読み出す。
(B) Oフィールドを1H進ませて読み出す。

のどちらかを行なうと正常な画像の信号となる。(A)，(B)のどちらにするかはY ADD ON／OFFモード(3-3-3，[2]項参照)で決まり，Y ADD OFFのときは(A)，Y ADD ONのときはライン加算に伴う1/2Hの群遅延を考慮して(B)が行なわれる。表3-3-1に読み出しアドレスのオフセットとY ADD ON／OFFモードとの関係を示す。

When there is a dropout in a 4-field sequence during a special playback mode such as the DT mode, offset equivalent to +1 or − 1 is added to the memory read address. Fig. 3-3-4 shows the workings of this offset. A playback signal, whose odd-number (O) field and even-number (E) field are reversed, is made a regular video signal by conducting either of the following operations by “read address ±1”:

(A) E field is delayed by 1H and read out.
(B) O field is advanced by 1H and read out.

Selection between (A) and (B) is made by the Y ADD ON/OFF mode (refer to Section 3-3-3 [2]). (A) is selected with Y ADD OFF while (B) is selected with Y ADD ON in consideration of the 1/2H group delay accompanying line addition. Table 3-3-1 shows the relationship between the read address offset and the Y ADD ON/OFF mode.

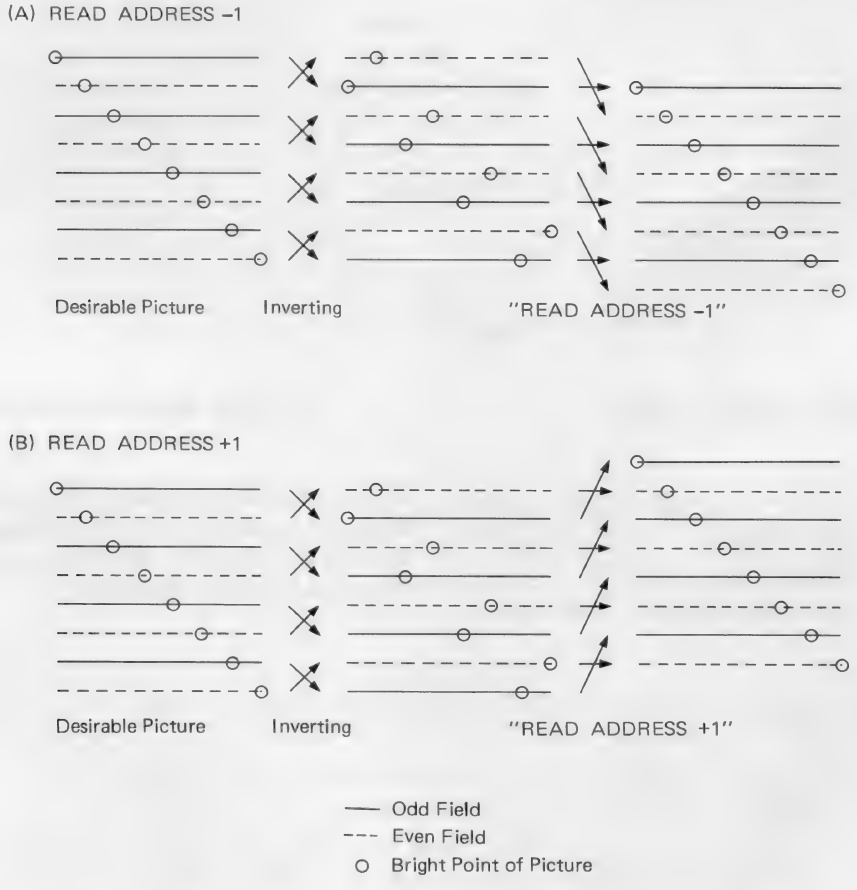


図3-3-4. 読み出しアドレス±1の働き

Fig. 3-3-4. Function of “READ ADDRESS ± 1”

Y ADD ON/OFF \ REF O/E, PB O/E	COINCIDENT	UNCOINCIDENT
OFF (V SHIFT)	0	−1
ON (Y ADD)	0	+1

表3-3-1. メモリー読み出しアドレスのオフセット

Table 3-3-1. Offset of Memory Read Address

3-3-2. Y信号・クロマ信号処理回路

Y信号・クロマ信号処理回路は，DOCおよびDT／BIDIREX再生時の信号補正をする回路である。
基本構成を図3-3-5に示す。メインメモリー出力はY/C分離されてそれぞれの処理を受ける。Y信号系，C信号系回路は各種モードに応じて複合的に機能するので，信号処理方法については，“3-3-3. モード別の処理”でまとめて説明する。この項では，Y信号・クロマ信号処理回路の主要回路であるY/C分離回路，ラインメモリー，DOコントロール回路について説明する。

3-3-2. Y Signal and Chroma Signal Processor Circuit

The Y signal and chroma signal processor circuit is a circuit which corrects the signals during DOC and DT/BIDIREX playback.
Fig. 3-3-5 shows the basic configuration. The main memory output deals with the processing of the separated Y and C signals. The Y signal and C signal system circuitry functions in combination in accordance with the various modes. Therefore, the signal processing method is dealt with in Section 3-3-3 “processing by individual mode”. This section describes the line memory, DO control circuit and the Y/C separator circuit which are the main circuits in the Y signal and chroma signal processor circuitry.

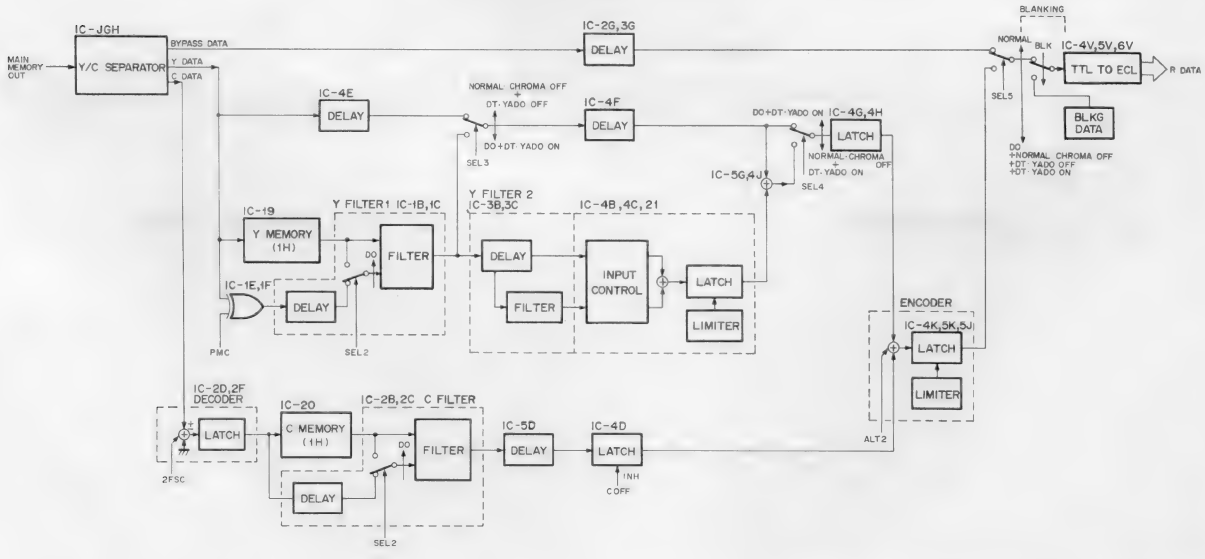


図3-3-5. Y信号，クロマ信号処理回路

Fig. 3-3-5. Y Signal and Chroma Signal Processing Circuit

[1] Y/C 分離回路

この回路は，メインメモリー出力のコンポジットビデオ信号からY信号とクロマ信号を分離する回路であり，専用IC (IC-1GH；CX23082) を使っている。
CX23082はCMOS 8000ゲートのゲートアレイで作られている。主な機能は次の通りである。

1. 入力2系統（切換可），独立した本線遅延回路（調整可）
2. 入力9ビット，出力最大10ビット
3. クロマ位相反転機能
4. CHROMA INHIBIT機能
5. 使用語長に合わせたまるめ処理
6. Straight Binary (Offset Binary)／2's Complement切換可
7. 最高動作周波数20 MHz

CX23082の回路構成を図3-3-6に示す。Y信号は，入力信号からクロマ信号を減算することにより分離される。図3-3-7にクロマフィルターの周波数特性を示す。Yフィルターの周波数特性はクロマフィルターと相補的なので省略する。

[1] Y/C separator circuit

This circuit serves to separate the Y signal and chroma signal from the composite video signal which is output from the main memory. It employs a special-purpose IC (IC-1GH; CX23082).
The CX23082 is composed of a CMOS 8000-gate gate array. Its main functions are as follows:

1. Main line delay circuit (adjustable) with 2 independent input systems (switchable)
2. 9-bit input, 10-bit maximum output
3. Chroma phase inversion function
4. CHROMA INHIBIT function
5. Rounding in accordance with used word length
6. Switching between straight binary (offset binary) and 2's complement
7. Maximum operating frequency of 20 MHz.

Fig. 3-3-6 shows the configuration of the CX23082 circuit. The Y signal is separated from the chroma signal by subtracting it from the input signal. Fig. 3-3-7 shows the frequency response of the chroma filter. The frequency response of the Y filter is complementary to the chroma filter and so it is omitted.

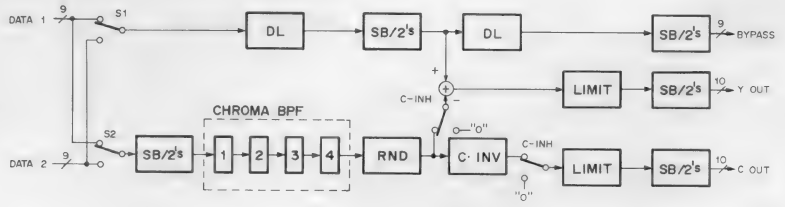


図3-3-6. CX23082の回路構成

Fig. 3-3-6. Configuration of CX23082

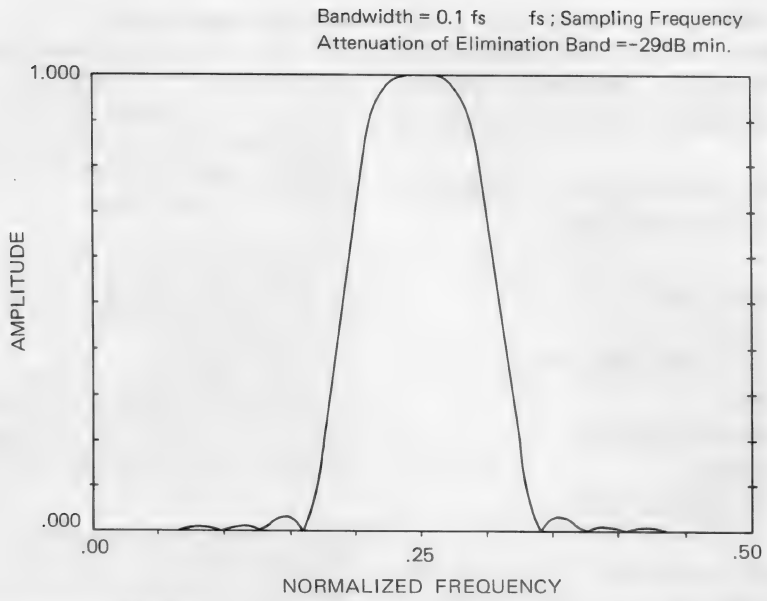


図3-3-7. クロマフィルタ周波数特性

Fig. 3-3-7. Frequency Response of Chroma Filter

[2] ラインメモリー

ラインメモリーはY信号系，クロマ信号系のそれぞれにあり，DOCメモリーとして使われ，さらに，Yフィルター1およびCフィルターの構成回路も兼ねている。

ラインメモリーには専用IC（IC-19，20：BX1289）を使っている。BX1289の回路構成を図3-3-8に示す。メモリー容量は2ライン分あるが，本回路で使うのは1ライン分である。入力データは2相に直並列変換されてメモリーに書き込まれる。メモリーアドレスはIC-3H（CX20194）で指定する。

[2] Line memory

A line memory is provided for the Y signal and chroma signal systems respectively. It is used as the DOC memory and also serves as the Y filter 1 and C filter configuration circuit. Special-purpose ICs (IC-19, 20; BX1289) are used for the line memories. Fig. 3-3-8 shows the configuration of the BX1289 circuit. The memory capacity is equivalent to 2 lines but only 1 line is used by this circuit. The input data is serial-parallel converted into 2 phases and written into the memory. The memory address is designated by IC-3H (CX20194).

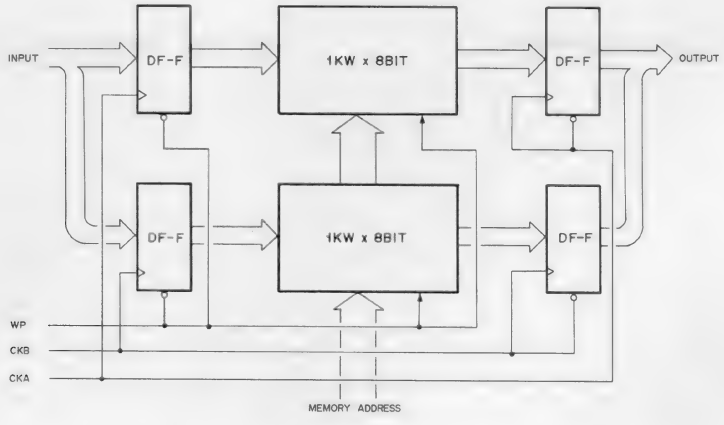


図3-3-8. BX1289の回路構成

Fig. 3-3-8. Configuration of BX1289

[3] DOCコントロール回路

DOCコントロール回路は，メインメモリーを経たDO信号（Y DO）のパルス幅を拡張し，遅延させて，各種モードに応じたDOC切り換え制御用信号を出力する回路である。

DOCコントロール回路には専用IC（IC-3J：CX20219）を使っている。主な機能は次のとおりである。

1. 入力DOパルスの遅延（38～50クロック）
2. パルス幅の拡張（±32クロック）
3. 前ライン，前後ラインのDO処理切り換え
4. ライン加算周辺回路
5. RZN（READ ZERO）信号微分回路
6. 最高動作周波数20 MHz
7. NTSC，PAL，SECAM方式に共用

CX20219の回路構成を図3-3-9に示す。DOパルス出力はシステムコントロール回路へ送られ，Y信号，C信号のDOC制御信号となる。RZN信号の前縁は読み出しクロックR CKで同期化された後，メインメモリーおよびラインメモリーのアドレス発生の基準となる。

[3] DOC control circuit

The DOC control circuit expands and delays the pulse width of the DO signal (Y DO) which has passed through the main memory, and it outputs the DOC switching control signals which accord with the various modes. The DOC control circuit employs a special-purpose IC (IC-3J; CX20219). Its main functions are given below.

1. Input DO pulse delay (38−50 clocks)
2. Pulse width expansion (±32 clocks)
3. DO processing switching of the previous line and the lines before and after
4. Line adding peripheral circuitry
5. RZN (READ ZERO) signal differential circuit
6. Maximum operating frequency of 20MHz
7. Communal use for NTSC, PAL and SECAM systems

Fig. 3-3-9 shows the configuration of the CX20219 circuit. The DO pulse output is sent to the system control circuit to become the Y signal and C signal DOC control signal. The leading edge of the RZN signal is first synchronized by the read clock R CK and then it serves as the reference for generating the main memory and line memory addresses.

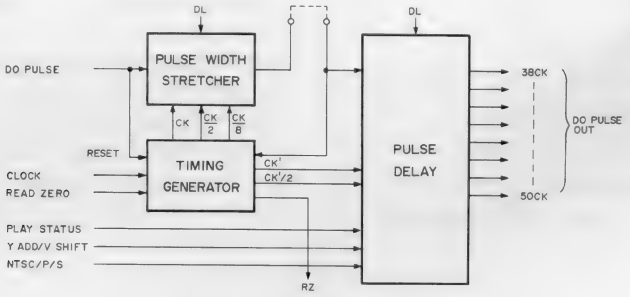


図3-3-9. CX20219の回路構成

Fig. 3-3-9. Configuration of CX20219

3-3-3. モード別の処理

ノーマルモード，DT／BIDIREXモード時の信号処理は次のように行なわれる。

[1] ノーマルモード

図3-3-10(A)にノーマルモード時の信号処理系を示す。このモードの時は，通常，入力信号はバイパスされる。バイパス経路において入力信号は，Y/C分離回路(IC-1GH)の中で39クロック，遅延回路(IC-2H, 2G, 3G, 5H)で10クロックの遅延調整を受ける。

ドロップアウト(DO)が生じた場合，入力信号はY信号・クロマ信号処理回路においてDOCを受ける。DOCはY・C共に“1H前信号による部分置き換え”の方法がとられる。ただし，バースト信号にDOが生じている場合は，クロマ信号のみ“1H前信号によるライン置き換え”となる。

なお，DO時には，DT／BIDIREXモードでも同じであるが，縦方向の処理(Yライン加算)は禁止される。

3-3-3. Processing by Individual Mode

The signals are processed in the normal mode and DT/BIDIREX mode as follows.

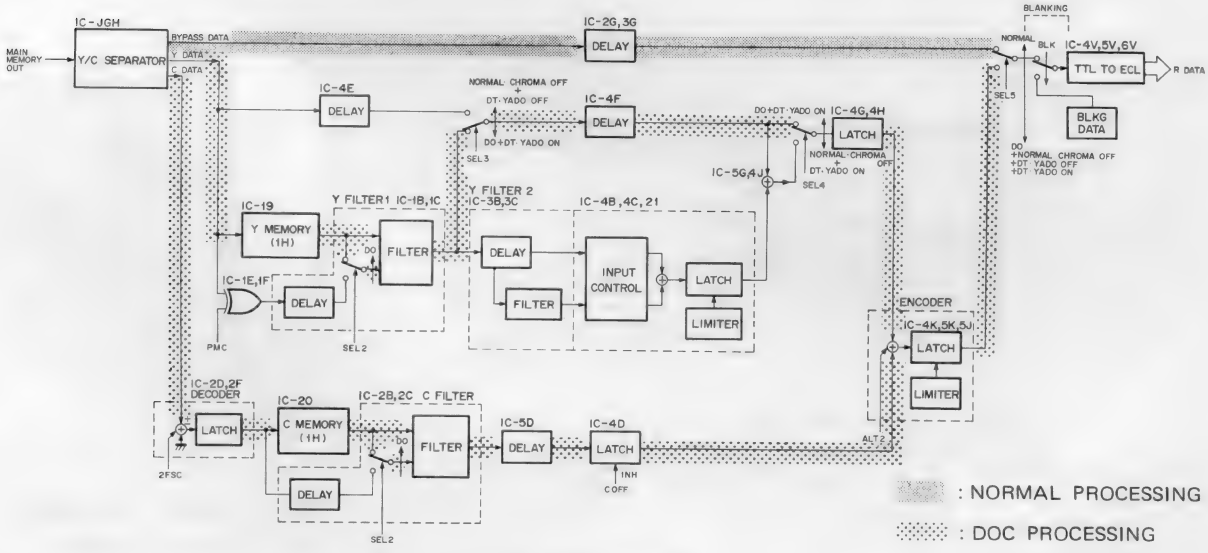
[1] Normal mode

Fig. 3-3-10 (A) shows the signal processing in the normal mode. In this mode, the input signal is usually bypassed.

In the bypass route, the input signal is delayed and adjusted by 39 clocks in the Y/C separator circuit (IC-1GH) and by 10 clocks in the delay circuit (IC-2H, 2G, 3G, 5H).

When a dropout (DO) has occurred, the dropout in the input signal is compensated for in the Y signal and chroma signal processor circuit. Used for DOC is a method of partial replacement by the 1H before signal for both the Y and C signals. When a dropout occurs in the burst signal, line replacement by the 1H before signal is applied to the chroma signal only.

This is the same for the DT/BIDIREX mode when dropouts occur but processing in the vertical direction (Y line addition) is inhibited.



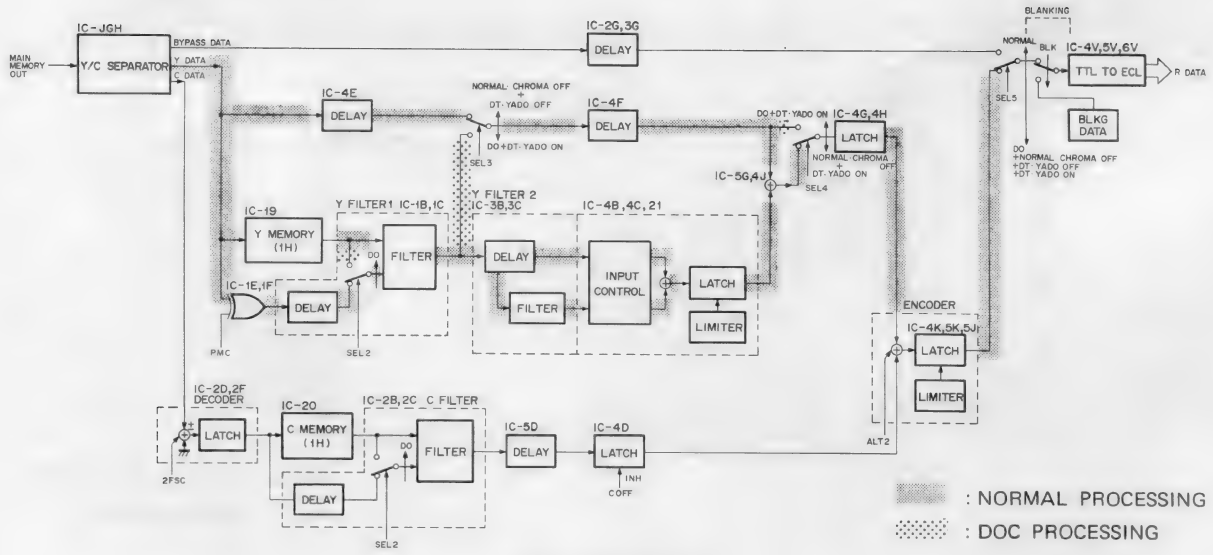
(A) CHROMA ON

図3-3-10. ノーマルモード処理系

Fig. 3-3-10. NORMAL Mode Processing System

Y信号・クロマ信号処理回路の付加的な機能として，TBC出力を白黒信号にする“CHROMA OFF”機能がある。CHROMA OFFはS1 (CHROMA NORMAL／OFF) で指示する。CHROMA OFF時は，図3-3-10 (B) に示すような信号処理経路となる。この時は，縦方向の処理 (Yライン加算) は行なわれる。CHROMA OFFにおいては，クロマ信号データはIC-4Dで“0 (オフセットバイナリー)”とされる。なお，DTモードのY ADD OFF ([2]項参照) でもCHROMA OFFはノーマルモードと同様に機能する。

An additional function of the Y signal and C signal processor circuit is the CHROMA OFF function which sets the TBC output to the monochrome signal. CHROMA OFF is indicated by S1 (CHROMA NORMAL/OFF). Under CHROMA OFF conditions, the signal processing route shown in Fig. 3-3-10 (B) applies. In this case, processing in the vertical direction (Y line addition) is performed. During CHROMA OFF, the chroma signal data are set to 0 (offset binary) by IC-4D. Even with Y ADD OFF (see Section [2]) in the DT mode, CHROMA OFF functions in the same way as in the normal mode.



(B) CHROMA OFF

図3-3-10. ノーマルモード処理系

Fig. 3-3-10. NORMAL Mode Processing System

[2] DT／BIDIREXモード

図3-3-11にDT／BIDIREXモード時の信号処理系を示す。ノーマルモード以外の全てのモードでは，SL5は“L”の状態のままである。ただし，Vブランキング期間では，VITCやタイムコードをそのまま通さなければならないため，SL5はバイパス経路に切り換わる。

DT／BIDIREXモードにおいては，再生信号の4フィールドシーケンスの欠落を補正するための信号処理が，Y信号，クロマ信号のそれぞれについて行なわれる。この処理には，“Y ADD ON”と“Y ADD OFF”の2種類のモードがある。Y ADD ONは，Y信号をライン加算するモードであり，Y ADD OFFはY信号のライン加算をしないモードである。

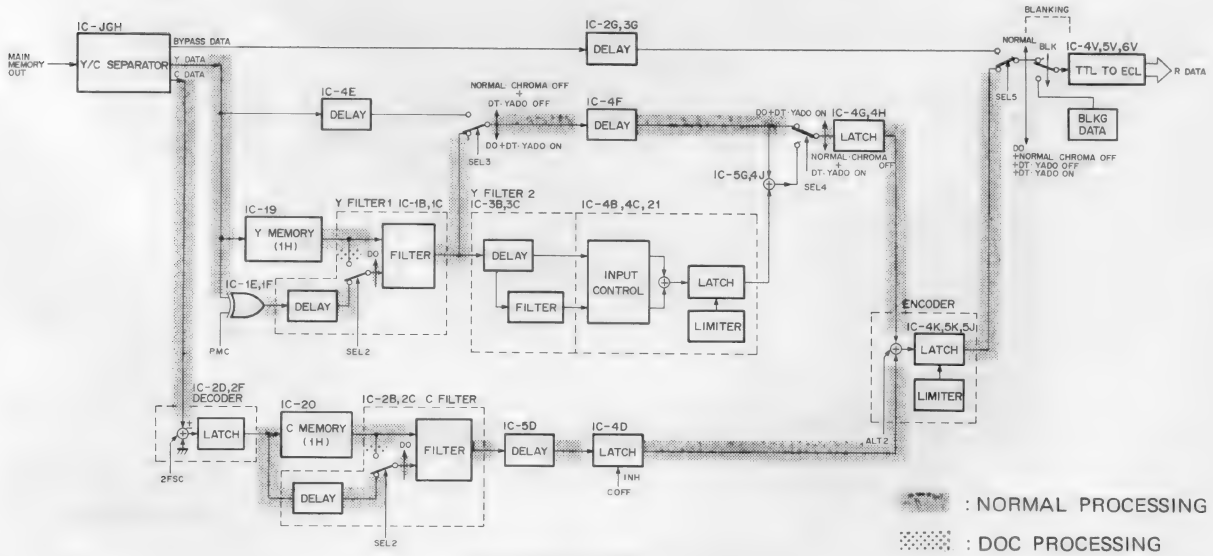
DT／BIDIREXモードのような可変速再生では，再生ビデオ信号の4フィールドシーケンスが基準ビデオ信号に対して一致したり，しなくなったりする現象が必然的に起こる。この一致・不一致の繰り返し周期は，テープスピードが±1倍速に近いと長いが，±1倍速からずれるに従い短くなる。

[2] DT/BIDIREX mode

Fig. 3-3-11 shows the signal processing route in the DT/BIDIREX mode. In all modes except the normal mode, SL5 stays low. However, in the vertical blanking period, the VITC and time code must be passed through without modification and so SL5 is switched to the bypass route.

In the DT/BIDIREX mode, the signal processing for compensating for dropouts in the 4-field sequence in the playback signals is conducted for the Y signal and chroma signal respectively. There are two modes for the processing: Y ADD ON and Y ADD OFF. Y ADD ON is the mode in which line adding is performed for the Y signals and Y ADD OFF is the mode in which it is not performed.

With variable speed playback such as in the DT/BIDIREX mode, the phenomenon inevitably occurs in which the 4-field sequence of the playback video signal matches or fails to match the reference video signal. The matching/non-matching repeat period is long when the tape speed approaches ±1 times normal speed, but its length is reduced when the speed deviates from ±1 times normal speed. When the sequence does not



(A) Y ADD ON

図3-3-11. DT/BIDIREXモード処理系

Fig. 3-3-11. DT/BIDIREX Mode Processing System

ところで，不一致の場合，メインメモリーから偶数フィールドを読み出すタイミングを1H遅らすことにより4フィールドシーケンスの一致を図っているわけであるが，この結果，不一致フィールドによる画像は下方向へ0.5Hシフトすることになる。これをVシフトという（図3-3-4（A）参照）。Vシフト現象は，テープスピードによってはフリッカーとして感じられるようになる。

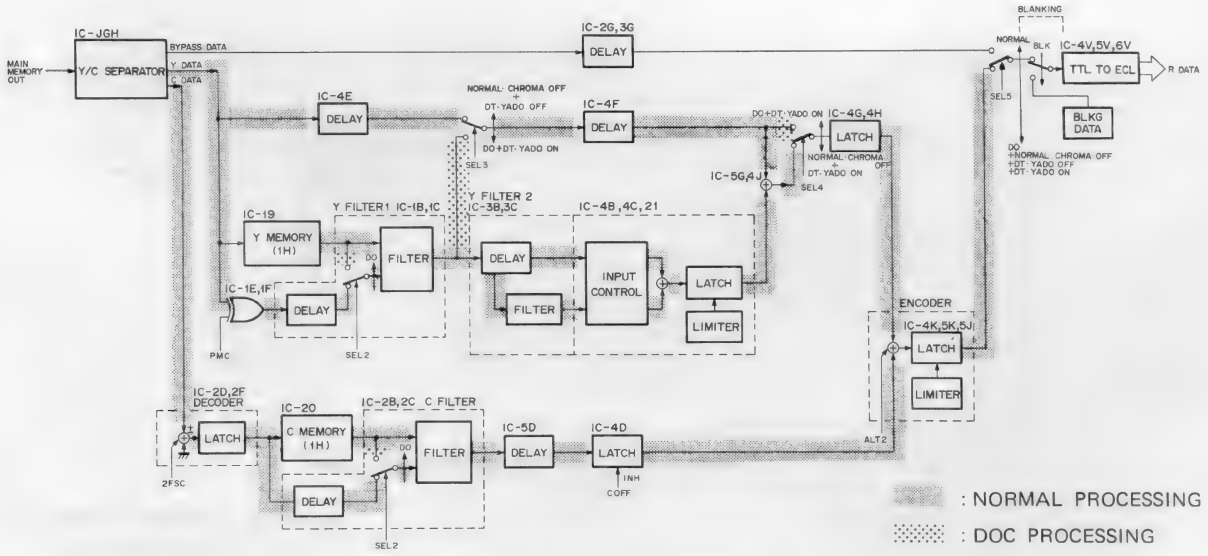
Y ADD ONモードは，Y信号をライン加算することによって見かけ上Vシフトを平滑化し，フリッカーを感じなくさせるために設けられているモードである。図3-3-12にY信号のライン加算の様子を示す。Y信号ライン加算処理は1/2Hの群遅延を伴うので，Y ADD ONモードでは，メインメモリーから奇数フィールドを読み出すタイミングを1H進めている（表3-3-1参照）。

Y ADD ONモードで処理した画像は，フリッカーがない自然なものとなるが，テープスピードが±1倍速に近いところでは，Y信号ライン加算による画像のボケが生じ，絵柄によっては，ボケた画像と鮮明な画像が長い周期で交互に現れることがある。

match the reference video signal, matching is accomplished by delaying by 1H the timing at which the evennumbered fields are read from the main memory. As a result, the picture in the non-matching field will shift downward by 0.5H. This is known as vertical (V) shift (see Fig. 3-3-4 (A)). Depending on the tape speed, the V shift phenomenon is perceived as flicker.

The Y ADD ON mode is provided in order to smooth out the V shift to all appearances by Y signal line adding and to remove the flicker. Fig. 3-3-12 shows the Y signal line adding. Y signal line adding accompanies the 1/2H group delay and so in the Y ADD ON mode, the timing at which the odd-numbered fields are read from the main memory is advanced by 1H (see Table 3-3-1).

The picture processed in the Y ADD ON mode is natural and without flicker but when the tape speed approaches ±1 times normal speed, the picture will become defocused by the Y signal line adding and, depending on the design, an out-of-focus picture and a clear picture may appear alternately for long periods.



(B) Y ADD OFF (V SHIFT)

図3-3-11. DT/BIDIREXモード処理系

Fig. 3-3-11. DT/BIDIREX Mode Processing System

クロマ信号は，Y/C分離回路においてR N/I信号によってライン毎の位相が同相にそろえられた後，DOCおよびDT，BIDIREX処理を受ける。したがって，クロマ信号の最終出力にはライン毎の位相反転を復元しなければならない。また，再生信号の4フィールドシーケンスが基準ビデオ信号に対して不一致の場合，Y ADD ONモードではクロマ位相をフィールド毎に反転しなければならない。このクロマ位相反転は，BKH-2150ではデコード／エンコード方式という方法によって行なっている。この方式は，クロマ信号を任意の直交する軸に一たんデコードした後，キャリア位相を変えてエンコードすることによりクロマ位相を反転するというものである。IC-2D，2Fでデコード，IC-4K，5Kでエンコードが行われる。

DT／BIDIREXモードにおけるDOCはSL1，SL2がラインメモリー側に切り換わることによって達成される。Y ADD OFFモードでのDOCでは，Yフィルター出力1はYフィルター2を通らずにバイパスされ，信号処理経路はY ADD ONモードと同じになる。

BIDIREXモード時のTBC出力は，±7倍速まではカラーロックしているが，±7倍速以上のFAST BIDIREXモードではIC-4Dにおいてクロマ信号が"0"にされ，白黒信号となる。

In the Y/C separator circuit, the phase of the chroma signal for each line is aligned to the same phase by the R N/I signal, and then the signal is subjected to DOC and DT/BIDIREX processing. Consequently, in the final output of the chroma signal the phase inversion must be restored line by line. When the 4-field sequence of the playback signal does not match the reference video signal, the chroma phase must be inverted field by field in the Y ADD ON mode. In the BKH-2150, the chroma phase is inverted by a method called the decode/encode system. Under this system, the chroma phase is first decoded at any orthogonal axis, and then it is inverted by changing and encoding the carrier phase. Decoding is performed by IC-2D and 2F while encoding is performed by IC-4K and 5K.

Dropout compensation in the DT/BIDIREX mode is achieved by switching SL1 and SL2 to the line memory side. With dropout compensation in the Y ADD OFF mode, the Y filter output 1 is bypassed without passing through the Y filter 2, and the signal processing route is the same as that for the Y ADD ON mode.

The TBC output in the BIDIREX mode is color locked up to ±7 times normal tape speed. In the FAST BIDIREX mode at more than ±7 times normal tape speed, the chroma signal is set to "0" in IC-4D and it becomes a monochrome signal.

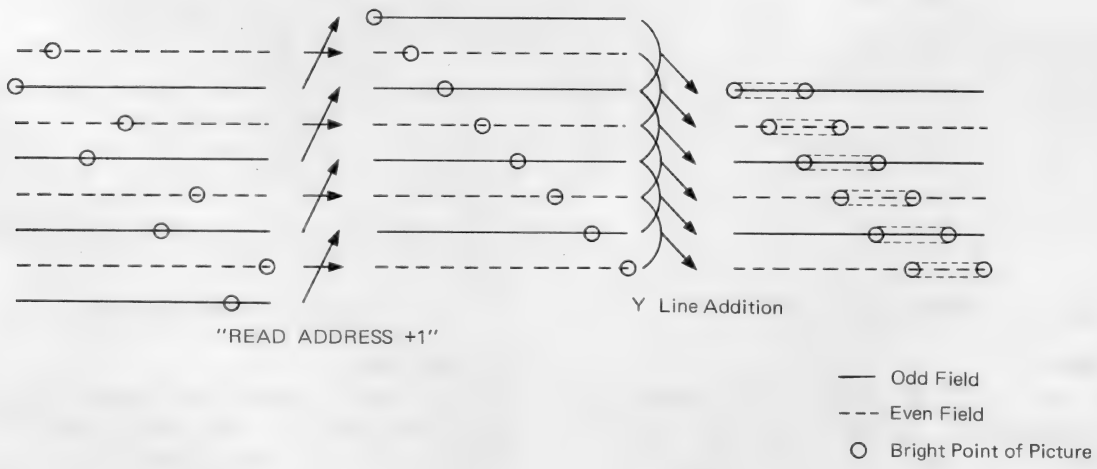


図3-3-12. Yライン加算

Fig. 3-3-12. Y Line Addition

3-4. SG-10基板回路

SG-10基板には，メインメモリーの読み出し側の各種同期信号を発生するSYNCジェネレーター，読み出しクロックを発生するREAD CLOCK (R CK) ジェネレーター，R CKをVELO ERROR電圧で変調することにより残留ジッターを低減させるためのベロシティエラー補正回路，メインメモリーの読み出しスタート点を示す信号READ ZEROを発生するREAD ZEROジェネレーター，などが設けられている。
また，再生ビデオと読み出し側のSYNC (TBC SYNC) との位相を決めるための信号REF VNを発生する回路，DTモード時にY信号のライン加算を止めさせる信号Y ADD INHを発生する回路なども設けられている。

3-4-1. SYNCジェネレーター

SYNCジェネレーター出力は，メインメモリー読み出し側の制御信号，同期信号となる。出力信号の一つであるTBC SYNCはTBC出力に付加される同期信号である。回路の基本構成を図3-4-1に示す。

3-4. SG-10 BOARD CIRCUITRY

Mounted on the SG-10 board are the sync generator which generates the various sync signals at the main memory read side, the READ CLOCK (R CK) generator which generates the read clock, the velocity error compensation circuit which reduces the residual jitter by modulating the R CK signal with the velocity error voltage, and the READ ZERO generator which generates the READ ZERO signal that indicates the main memory read start point. Also mounted on this board are the circuit which generates the REF VN signal for determining the phase relationship between the read side SYNC (TBC SYNC) signal and the playback video signal, and the circuit which generates the Y ADD INH signal that stops the line addition of the Y signal in the DT mode.

3-4-1. SYNC Generator

Output from the sync generator are the main memory read side control signal and sync signals. The TBC SYNC signal, which is one of the output signals, is the sync signal that is added to the TBC output. The basic configuration of the circuit is given in Fig. 3-4-1.

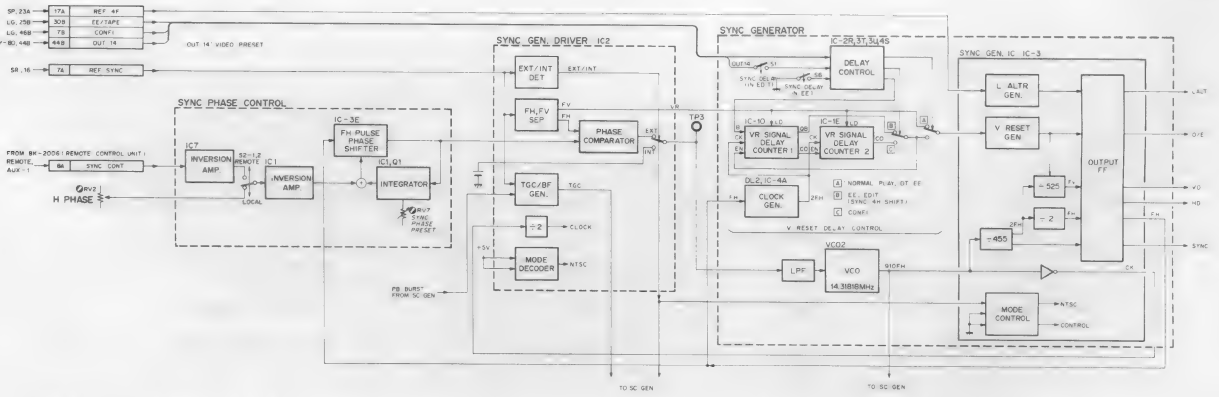


図3-4-1. SYNCジェネレーター

Fig. 3-4-1. SYNC Generator

[1] 同期ループ

同期ループは，SYNC発生をVTRのサーボ基準信号REF SYNCに同期させるための回路である。REF SYNCが入力していると，IC2 (GEN LOCK IC: CX7998)，LPF，VCO2 (910 F_H)，IC3 (SYNC GEN IC: CX7930A)，IC-3E (FH位相シフター) によってループが構成される。
VCO2の出力 (14.31818 MHz=910 F_H) はIC3で910分の1に分周されてF_H信号となる。F_HはIC-3Eでパルス幅が調整された後，IC2でREF SYNCと位相比較される。位相差は電圧 (HCOMO) として出力され，LPFを経て，VCO2の発振周波数がREF SYNCにロックするように制御する。このように，同期ループが形成されてSYNCを発生する動作をEXTモードという。

[1] Sync loop

The sync loop is a circuit for synchronizing the sync signal generation with the VTR's servo reference signal REF SYNC. When the REF SYNC signal is supplied, a loop is configured by IC2 (GENLOCK IC: CX7998), LPF, VCO2 (910F_H), IC3 (SYNC GEN IC: CX7930A), and by IC-3E (FH phase shifter). The signal (14.31818 MHz = 910F_H) output from VCO2 is counted down by IC3 to 1/910 to form the F_H signal. The resulting F_H signal first has its pulse width adjusted by IC-3E and then its phase is compared by IC2 with that of the REF SYNC signal. The phase difference is output as a voltage (HCOMO), it passes through the low-pass filter and it is controlled so that the oscillation frequency of VCO2 locks in the frequency of the REF SYNC signal. In this way, a sync loop is formed, and the mode of operation in which the SYNC signals are generated is called the EXT mode.

なお，REF SYNCが入力されていない場合，同期ループは形成されず，HCOMO電圧は固定電圧となり，VCO2は910 F_Hの固定発振となる。このときのSYNCジェネレーターの動作をINTモードという。

[2] SYNC PHASEコントロール

SYNC PHASEのコントロールは，同期ループ内のFH信号のパルス幅を変えることにより行なう。FHパルス（IC-3E, 13ピン出力）の積分電圧を一定に保つループ（I-3E, Q1, IC1）に外部から電圧を加えることにより，FHのパルス幅は変わる。制御電圧はH PHASE電圧（LOCAL時）またはSYNC CONT電圧（REMOTE時）である。IC7は，REMOTE時のボリュームの回転方向とSYNC位相変化との関係をLOCAL時と同じにするための反転アンプ（ゲイン0 dB）である。

[3] V RESET遅延コントロール回路

SYNCジェネレーターのGEN-LOCKは，REF SYNCから検出したVリセット信号VR（IC2, 8ピン出力）でSYNC GEN IC（IC3）をリセットすることによって行なわれる。
V RESET遅延コントロール回路は，このVR信号をVTRの各種モードに応じて遅延させる回路である。これにより，SYNCジェネレーター出力の遅延を行なう。
図3-4-2にV RESETの遅延コントロール回路のブロック図を示す。表3-4-1には，VTRのモードとVR信号の遅延量との関係を示す。

The sync loop is not formed when the REF SYNC signal is not supplied, the HCOMO voltage remains a fixed voltage and VCO2 is locked into the generation of the 910 F_H frequency. The mode of operation in which the SYNC generator now functions at this time is called the INT mode.

[2] SYNC PHASE control

The SYNC PHASE is controlled by varying the pulse width of the FH signal within the sync loop. The FH pulse width is changed by supplying the voltage from an external source to the loop (IC-3E, Q1, IC1) which keeps the integral voltage of the FH pulse (IC-3E pin 13 output) constant. The control voltage is the H PHASE voltage (in LOCAL mode) or the SYNC CONT voltage (in REMOTE mode). IC7 is an inverted amplifier (0 dB gain) for making the relationship between the changes in the SYNC phase and the direction of the control's rotation in the REMOTE mode identical with the relationship applying in the LOCAL mode.

[3] V RESET delay control circuit

The SYNC generator is gen-locked by resetting the SYNC GEN IC (IC3) by the V reset signal VR (IC2 pin 8 output) which has been detected from the REF SYNC signal.
The V RESET delay control circuit functions to delay this VR signal in accordance with the particular VTR mode. This in turn delays the output of the SYNC generator.
Fig. 3-4-2 is a block diagram of the V RESET delay control circuit. Table 3-4-1 shows the relationship between the various VTR modes and the amounts by which the VR signal is delayed.

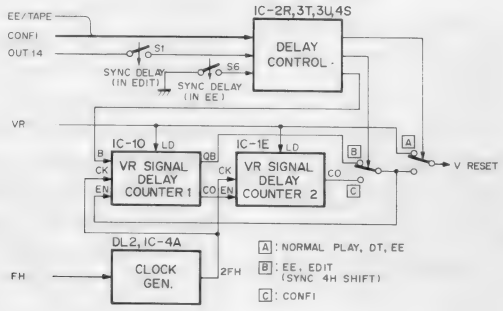


図3-4-2. V RESET遅延コントロール回路

Fig. 3-4-2. V RESET DELAY CONTROL CIRCUIT

Mode of VTR	Delay
PLAY, DT, STOP(EE)/S6:OFF	OH
STOP(EE)/S6:ON EDIT/S1:ON	4H
CONFI	1/3V

表3-4-1. VR信号の遅延

Table 3-4-1. Delay of VR Signal

EDIT モード時に S1 が ON，または STOP (EE) モード時に S6 が ON であると VR 信号は 4H 遅延する。4H 遅延するのは次のような理由による。(3-4-5 項も参照)

EDIT モード時

PREVIEW や EDIT モードでは，VTR のドラムサーボはアドバンスさせないので，再生信号のアドバンス量はゼロとなる。TBC (BKH-2150) は，アドバンス量がゼロの再生信号については，垂直方向の位置を定めること (V LOCK) ができず，この結果，TBC 出力信号の映像信号部は同期信号に対して数 H の不確定な遅れを生ずる。これは，モニター上に画像の垂直方向シフトとなって現われる。

VR 信号を 4H 遅延するのは，この画像シフトを防ぐためである。S1 を ON にすると，メインメモリーの読み出しが REF SYNC よりも 4H 遅延し，相対的に TBC 入力信号は 4H アドバンスする。TBC 入力がアドバンスすることにより，V LOCK は正常に行なえる。しかし，これだけでは，TBC 出力信号の映像信号部は 4H 遅れたままとなるので，VR 信号も 4H 遅延させる。これによって，SYNC ジェネレーターの全ての出力信号が 4H 遅れるので，TBC 出力信号の映像信号部と同期信号の相対位相は一致し，画像シフトは生じなくなる。ただし，この場合，TBC 出力信号は REF SYNC に対して常に 4H 遅延していることになる。

STOP (EE) モード時

EE モードでも TBC 入力信号 (EE 信号) のアドバンス量はゼロとなる。EE モードではメインメモリーの読み出しを REF SYNC よりも 4H 遅らせて，相対的に TBC 入力信号をアドバンスさせているが，この結果，TBC 出力信号は，映像信号部が同期信号よりも 4H 遅れてしまう。これもモニター上に画像の垂直方向シフトとなって現われる。この画像シフトを防ぐために，VR 信号を 4H 遅延する。

S6 を ON にすると，VR 信号は 4H 遅延し，TBC 出力信号の映像信号部と同期信号の相対位相が一致するので画像シフトは生じない。この場合も，TBC 出力信号は REF SYNC に対して常に 4H 遅延していることになる。

CONFI モード時には VR 信号は V/3+4H 遅延する。この遅延量は，PLAY ヘッドが R/P ヘッドに対して 120° ずれて位置していることと，TBC 入力信号を相対的に 4H アドバンスさせることからくる値である。

[4] バーストフラグジェネレーター

IC-2R, 4L, 3T, 2U, 3M で構成される回路である。

IC3 の 4 ピン出力信号 SYNC を 12 ピン出力信号 VD でゲートすることによりバーストフラグ (BF) 信号を得ている。BF 信号の発生はモードにより表 3-4-2 のようにコントロールされる。INT/EXT は SYNC ジェネレーターの GEN-LOCK モードである。COLOR/BW は VTR に入力されて

When S1 is ON in the EDIT mode or when S6 is ON in the STOP (EE) mode, the VR signal is delayed by 4H. It is delayed by 4H for the reason described below (reference should also be made to Section 3-4-5).

EDIT mode

In the PREVIEW and EDIT modes, the VTR drum servo is not advanced and so the amount by which the playback signal is advanced is zero. With playback signals characterized by zero advance, the time base corrector (BKH-2150) cannot determine the vertical position (V LOCK) and, as a result, the video signal section of the TBC output signal delays of several H with respect to the sync signals. This appears on the monitor as a vertical shift in the picture. The VR signal is delayed by 4H in order to safeguard against such a picture shift. When S1 is set ON, the main memory reading is delayed by 4H from the REF SYNC and the TBC input signal is advanced in relative terms by 4H. V LOCK is conducted normally by advancing the TBC input. However, the video signal section of the TBC output signal will remain delayed by 4H if no further steps are undertaken. This is why the VR signal is also delayed by 4H. As a result, all the signals output from the SYNC generator are delayed by 4H, which means that the relative phases of the sync signals and video signal section of the TBC output signal coincide and that the picture shift is prevented. In this case, however, the TBC output signal is always delayed by 4H behind the REF SYNC signal.

STOP (EE) mode

Even in the EE mode, the TBC input (EE) signal advances by an amount equivalent to zero. In this mode, the main memory reading is delayed from the REF SYNC signal by 4H and the TBC input signal is advanced in relative terms. However, as a result, the TBC output signal is such that the video signal section is delayed by 4H from the sync signals. This also appears on the monitor as a vertical shift in the picture. To safeguard against such a shift, the VR signal is delayed by 4H.

When S6 is set to ON, the VR signal is delayed by 4H, and the relative phases of the sync signals and video signal section of the TBC output signal coincide so that the picture shift does not occur. Even in this case, the TBC output signal is always delayed by 4H with respect to the REF SYNC signal.

In the CONFI mode, the VR signal is delayed by V/3 + 4H. The actual delay is the value produced by advancing the TBC input signal by 4H in relative terms and by placing the PLAY head at a position deviating by 120 degrees from the R/P head.

[4] Burst flag generator

This circuit is composed of IC-2R, 4L, 3T, 2U and 3M.

The burst flag signal (BF) is produced by gating the IC3 pin 4 SYNC output signal with the pin 12 output signal VD. The BF signal generation is controlled as shown in Table 3-4-2, depending on the mode concerned. INT and EXT are the GENLOCK modes of the SYNC generator. COLOR/BW denotes that the reference signal supplied to the VTR is either a

いる基準信号がカラー信号か白黒信号かを示し，この情報はREF BW信号から得ている。

color signal or monochrome signal, and this information is obtained from the REF BW signal.

SYNC Gen. Gen-Lock Mode \ Video Signal Mode	COLOR	BW
INT	○	○
EXT	○	×

○: The BURST FLAG is generated.
×: The BURST FLAG is not generated.

表3-4-2. BURST FLAG信号の発生

Table 3-4-2. Generation of BURST FLAG

[5] Vブランキングパルスジェネレーター

HおよびVのブランキングを指示する信号BLKを発生する回路である。

回路の概要を図3-4-3に示す。IC3出力のHD信号の立ち下がりがHブランキング幅に引き伸ばされてH BLKパルスとなる。Vブランキング幅コントロール回路（IC16）には，ライン10～21についてブランキングするかしないかを制御できる端子（10～13ピン，15～22ピン）がある。ここに接続されたスイッチS3, S4によって，Vブランキングラインが選択できる。なお，ライン21のブランキング幅はHALF H BLKパルスジェネレーターによって，1フィールドおきにH/2となる。

[5] Vertical blanking pulse generator

This circuit functions to generate the BLK signals which denote horizontal (H) and vertical (V) blanking.

An outline of the circuit is shown in Fig. 3-4-3. The fall of the HD signal, which is output from IC3, is extended into the H blanking width to form the H BLK pulse. The V blanking width control circuit (IC16) is provided with pins (10 to 13, 15 to 22) which can control whether or not blanking should be performed for lines 10 through 21. The V blanking lines can be selected by switches S3 and S4 which are connected to these pins. The blanking width of line 21 is made H/2 for every other field by the HALF H BLK pulse generator.

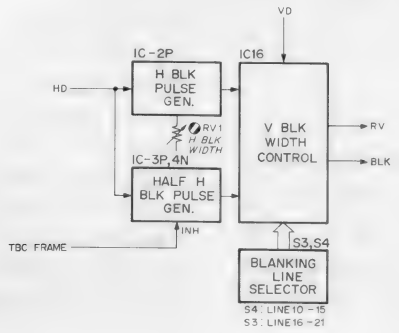


図3-4-3. V BLKパルスジェネレーター

Fig. 3-4-3. V BLK Pulse Generator

[6] R FLD, TBC FRAMEジェネレーター

R FLD信号は読み出し側のフィールド信号であり，IC3出力のO/E信号をVD信号でラッチして作られる。TBC FRAME信号は，R FLD信号が図3-4-4のタイミングになるようにIC3P，3Nによってラッチされた信号である。TBC FRAME信号は，ライン反転信号LALTと共にVTRへ送られて，VTRのサーボロックがINTモードの時のサーボ基準信号として使われる。

[6] R FLD, TBC FRAME generator

The R FLD signal is the read side field signal which is produced by latching the IC-3 output O/E signal with the VD signal. The TBC FRAME signal is produced by latching the R FLD signal using IC-3P and 3N so that the timing is as shown in Fig. 3-4-4.
The TBC FRAME signal is sent to the VTR along with the line inverting signal LALT and it is used as the servo reference signal when the VTR servo lock is in the INT mode.

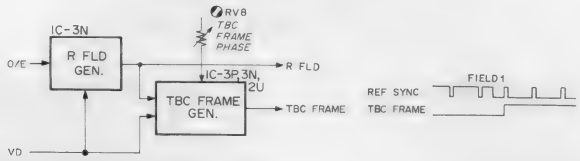


図3-4-4. R FLD, TBC FRAMEジェネレーター

Fig. 3-4-4. R FLD, TBC FRAME Generator

3-4-2. READ CLOCKジェネレーター

READ CLOCK (R CK) ジェネレーターは，メインメモリーの読み出しクロックを発生する回路である。
R CKは，VTRのサーボ基準信号SR VIDEOのバースト信号にロックしたVCO出力にベロシティエラーによる変調を加えた信号である。
R CKジェネレーターは，SCジェネレーター，HUEコントロール回路，VELO ERRORモジュレーター，RCKジェネレーターの回路ブロックから構成されている。

3-4-2. READ CLOCK Generator

The READ CLOCK (R CK) generator is a circuit which generates the main memory read clock.
The R CK signal is the signal which has applied modulation based on the velocity error to the VCO output which is locked to the burst signal of the VTR's servo reference signal SR VIDEO.
The R CK generator is composed of the SC generator, Hue control circuit, Velocity error modulator, and R CK generator circuit blocks.

[1] SCジェネレーター

回路の概要を図3-4-5に示す。
電圧コンパレーターIC5は，3.58 MHzのバンドパスフィルター（C26，LV1）によってSR VIDEO信号から取り出したクロマ信号をTTLレベルに変換する。VCO1出力（4 Fsc）はIC-1Jで8分周されて1/2 Fscとなり，IC-2Jで位相調整を受けた後，IC-2MとDL1とから成る回路で位相比較用パルス（パルス幅＝30 ns）となる。IC-2Nは位

[1] SC generator

An outline of the circuitry is shown in Fig. 3-4-5.
The voltage comparator IC-5 converts to the TTL level the chroma signal which has been taken out from the SR VIDEO signal by the 3.58 MHz band-pass filter (C26, LV1). The VCO1 output (4Fsc) is divided down to 1/8 by IC-1J to form 1/2 Fsc. After this signal's phase is adjusted by IC-2J, the signal itself is made to serve as the pulse (pulse width = 30 ns) for phase comparison by the circuit composed of IC-2M and DL1. IC-2N is a phase comparator and, as shown in Fig. 3-4-6,

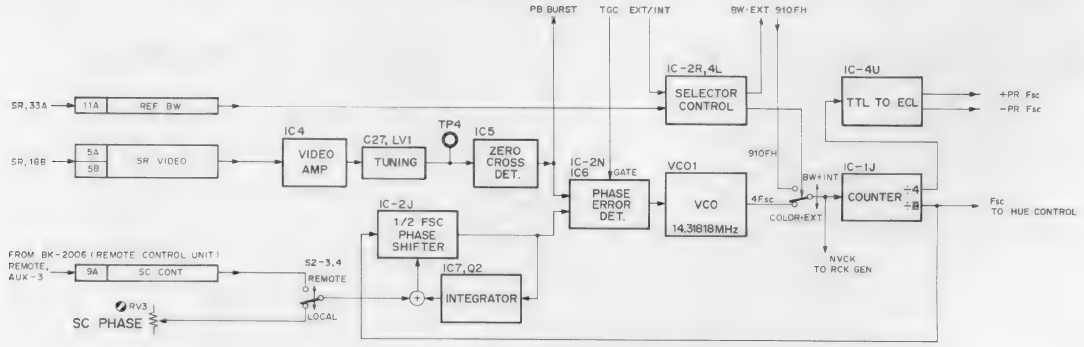


図3-4-5. SCジェネレーター

Fig. 3-4-5. SC Generator

相比較器であり，IC2出力のTGC信号によって決められるバースト信号の中心付近の6波分の期間，位相比較用パルスとバースト信号との位相を図3-4-6のように比較する。位相比較器の出力はIC6で電圧に変換されて，図3-4-6の中のAとBが等しくなるようにVCO1の発振周波数を制御する。この結果，VCO1の発振周波数は，SR VIDEO信号のバースト信号にロックした4 Fscとなる。
位相比較用パルスの周波数を1/2 Fscとしているのは，SC PHASEの可変幅を360°以上とるためである。
SC PHASEコントロール回路の動作は，SYNC PHASEコントロール回路（3-4-1［2］項参照）と同じである。
IC-1Jの4分周出力（Fsc）は，IC-4UでECLレベルに変換されて，PR Fsc信号としてPR-64，AD-20の各基板へ送られる。
なお，VCO1の周波数制御ループは，REF BWモード時またはSYNCジェネレーターがINTモード時には，セレクターIC-1Kによってカットされ，SYNCジェネレーターで作られたVCO2出力（910 F_H=4 Fsc）がVCO1の代りとなる。

it compares the phases of the burst signal and phase comparison pulse for a period equivalent to 6 cycles near the center of the burst signal which is determined by the TGC signal output from IC-2. The signal output from the phase comparator is converted by IC-6 into a voltage and the oscillation frequency of VCO1 is controlled so that A and B in Fig. 3-4-6 are made equal. As a result, the oscillation frequency of VCO1 is made 4Fsc and this is locked to the burst signal of the SR VIDEO signal.
The frequency of the phase comparison pulse is made 1/2 Fsc in order to provide a variable SC PHASE width in excess of 360 degrees.
The SC PHASE control circuit functions in the same way as the SYNC PHASE control circuit (see Section 3-4-1 [2]).
The signal which has been divided down to 1/4 and output from IC-1J is converted by IC-4U into the ECL level and sent to the PR-64 and AD-20 boards as the PR Fsc signal.
The VCO1 frequency control loop is cut by the selector IC-1K in the REF BW mode or in the INT mode of the SYNC generator and the VCO2 output (910F_H = 4fsc) produced by the SYNC generator takes the place of that of VCO1.

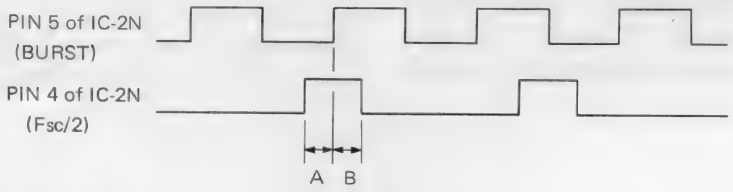


図3-4-6. バースト信号 − Fsc/2位相比較

Fig. 3-4-6. BURST - Fsc/2 Phase Comparison

［2］ HUEコントロール回路
回路の概要を図3-4-7に示す。
TBC出力信号に付加されるバースト信号（PR Fsc）に対するR CKの位相を変えることにより，TBC出力信号のHUEコントロールを行なう。IC8，6ピンには，VCO1出力（4 Fsc）を8分周した1/2 FscとR CKを8分周した1/2 Fscとの位相エラーを，VD信号でサンプリングした電圧が出力される。位相制御ループは，このサンプル電圧がHUE CONT電圧に等しくなるように働く。したがって，HUE CONT電圧に応じてPR Fscに対するR CK位相が変わり，HUEコントロールが行なわれる。
位相エラーをVD信号でサンプリングするのは，V期間の位相差を検出するためである。V期間はベロシティエラー補償のための位相変調がR CKに加えられておらず，R CK位相は安定している。

[2] Hue control circuit
An outline of this circuit is shown in Fig. 3-4-7.
The TBC output signal hue is controlled by varying the R CK phase with respect to the burst signal (PR Fsc) added to the TBC output signal. Output to IC-8 pin 6 is a voltage which is obtained when the phase error between the 1/2 Fsc, which is produced by counting down to 1/8 the R CK signal, and the 1/2 Fsc, which is produced by counting down to 1/8 the VCO1 output (4 Fsc), is sampled by the VD signal. The phase control loop functions to make this sampling voltage equal to the HUE CONT voltage. Consequently, depending on the HUE CONT voltage, the R CK phase with respect to PR Fsc changes and the hue is controlled.
The phase error is sampled by the VD signal so that the phase difference in the vertical period is detected. Phase modulation, designed to compensate for the velocity error, is not added to R CK during the vertical period and the R CK phase remains stable.

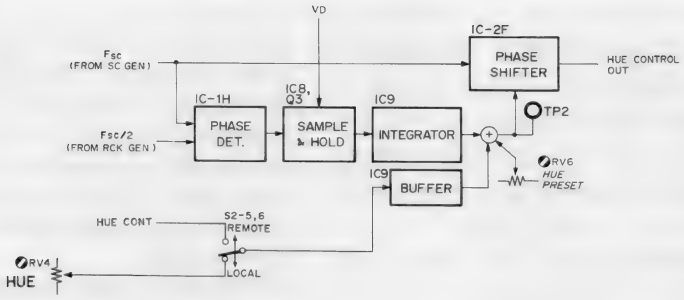


図3-4-7. HUEコントロール回路

Fig. 3-4-7. HUE Control Circuit

[3] VELO ERROR モジュレーター

R CKの元信号である1/2 FscをVELO ERROR電圧で位相変調する回路である。これによりベロシティエラー補償を行なう。回路の概要を図3-4-8に示す。

C105は，Q4がオフにると定電流源（Q5）からの電流を充電し始める。Q4は，IC-2Fによって位相制御された1/2 Fsc信号でドライブされているので，Q4のコレクターには周波数1/2 Fscの鋸歯状波電圧が発生する。この鋸歯状波電圧は電圧コンパレーターIC-5Hにおいて VELO ERROR電圧とレベル比較される。したがって，電圧コンパレーター出力はVELO ERROR電圧で位相変調された1/2 Fsc信号となる。

[3] VELO ERROR modulator

This circuit functions to modulate the phase of the 1/2 Fsc signal, which is the original R CK signal, using the velocity error voltage. In this way, the velocity error is compensated for. An outline of the circuit is shown in Fig. 3-4-8.

When Q4 goes OFF, C105 starts charging the current from the constant-current source (Q5). Q4 is driven by the 1/2 Fsc signal whose phase is controlled by IC-2F and so a sawtooth voltage with a 1/2 fsc frequency is generated at the Q4 collector. This voltage is compared with the velocity error voltage in the IC-5H voltage comparator. Consequently, the 1/2 Fsc signal, which has been phase-modulated by the velocity error voltage, is output from the voltage comparator.

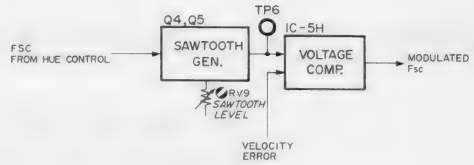


図3-4-8. ベロシティエラーモジュレーター

Fig. 3-4-8. Velocity Error Modulator

[4] R CKジェネレーター

VELO ERRORモジュレーター出力の1/2 Fscから4 FscのR CKを作る回路である。回路の概要を図3-4-9に示す。

IC-5GでDUTYサイクルが50%にされた1/2 Fsc信号は，DL3，IC-5Eによって8逓倍され，4 fscの周波数スペクトラムが高められたパルスとなる。BPF1はこのパルスから4 fscの周波数成分を取り出す。取り出された4 fscの正弦波は電圧コンパレーターIC4Cによって TTL レベルに変換されR CKの元信号であるR CK' となる。

R CK' はVELO ERROR電圧で位相変換されているわけであるが，このVELO ERROR電圧はHブランキング期間にリセットされる。このため，R CK' の位相はHブランキング期間に急変し，不連続状態になる（図3-4-10参照)。そこで，Hブランキング期間には，R CK' は位相が安定した信号NVCKに置きかえられる。R CK' -NVCKの切り換え信号はIC20，21，22，2A，2Bのクロックチェンジコントロール回路でつくられる。

R CK' はIC4UでECL レベルに変換され，±R CK信号として出力され，メインメモリーからのデータの読み出し，D/A変換などに用いられる。

なお，R CK' はカウンターIC-5Cで8分周されて位相検出器IC-1Hへ送られ，HUEコントロールのために1/2 Fsc信号と位相比較される。

[4] R CK generator

This circuit generates the 4 Fsc R CK signal from the 1/2 Fsc signal which is output from the velocity error generator. An outline of this circuit is shown in Fig. 3-4-9.

The 1/2 Fsc signal, whose duty cycle has been made 50% by IC-5G, is multiplied 8-fold by DL3 and IC-5E to form a pulse whose 4fsc frequency spectrum has been increased. BPF1 removes the 4fsc frequency components. The removed 4 fsc sinusoidal waveform is converted to the TTL level by the voltage comparator IC-4C, and R CK', which is the original R CK signal, is produced as a result.

R CK' is the signal which is phase-modulated by the velocity error voltage and this voltage is reset in the horizontal blanking period. As a result, the R CK' phase changes suddenly during this period and it becomes discontinuous (reference should be made to Fig. 3-4-10). During the horizontal blanking period, the R CK' signal is replaced by the NVCK signal whose phase is stable. The R CK'/NVCK selector signal is produced by the IC20, 21, 22, 2A and 2B clock change control circuit.

R CK' is converted to the ECL level by IC-4U and output as the ±R CK signal which is used for reading data from the main memory and for D/A conversion.

R CK' is counted down to 1/8 by counter IC-5C, sent to the IC-1H phase detector and its phase is compared with that of the 1/2 Fsc signal for hue control.

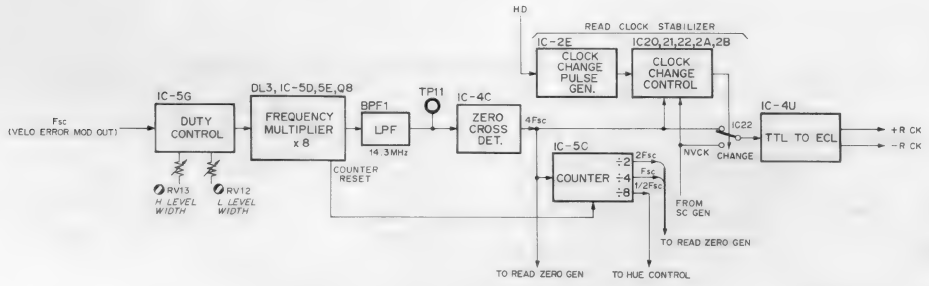


図3-4-9. RCKジェネレーター

Fig. 3-4-9. R CK Generator

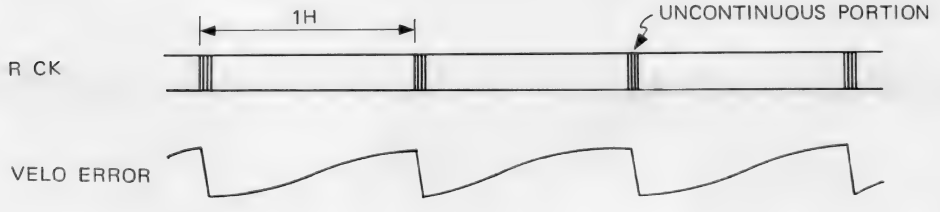


図3-4-10. R CKの不連続部分

Fig. 3-4-10. Uncontinuous Portion of R CK

3-4-3. ベロシティエラー補正回路

ベロシティエラー補正回路は，VELO ERROR電圧が真のベロシティエラーに等しくなるようにVELO ERROR電圧に対して二次近似補正をする回路である。これにより，良好なベロシティエラー補償が行なわれる。
ベロシティエラー補正回路は，VELO ERRORメモリー，VELO ERROR二次近似回路で構成される。回路の概要を図3-4-11に示す。

[1] VELO ERRORメモリー

AD-20基板から送られたVELO ERROR電圧は，IC10でオフセットが与えられた後，VELO ERRORメモリーへ入力される。VELO ERRORメモリーは，コンデンサー(C162～C125)による電圧ホールド回路で構成されている。容量は16ラインである。
VELO ERROR電圧は，W ADD 2^0～2^3信号によって指定されたコンデンサーにホールドされる。ホールドされたVELO ERROR電圧は，メインメモリーから読み出すビデオデータと対応するようにR ADD 2^0～2^3信号によって読み出され，VELO ERROR二次近似回路へ送られる。
C DOが発生した場合，VELO ERROR電圧が2ラインの間検出されないため，VELO ERRORメモリーは書き込み動作をしない。したがって，C DOが発生した時点のVELO ERROR電圧は16H前のものが代用される。

3-4-3. Velocity Error Correction Circuit

The velocity error correction circuit provides second order approximation for the velocity error voltage so that this voltage is made equivalent to the true velocity error. In this way, the velocity error compensation can be performed satisfactorily.
The velocity error correction circuit is composed of the velocity error memory and velocity error second order approximation circuit. An outline of the circuit is given in Fig. 3-4-11.

[1] VELO ERROR memory

Offset is first applied by IC10 to the VELO ERROR voltage sent from the AD-20 board and then the voltage is supplied to the VELO ERROR memory. This memory is configured as a voltage hold circuit with capacitors (C162 to C125). It has a 16-line capacity.
The VELO ERROR voltage is held in the designated capacitor by the W ADD 2^0 — 2^3 signals. This held voltage is read out by the R ADD 2^0 — 2^3 signals so that it corresponds with the video data which is read from the main memory, and it is then sent to the VELO ERROR second order approximation circuit.
When C DO has been generated, the VELO ERROR voltage is not detected between 2 lines and so it is not written in the VELO ERROR memory. Consequently, the voltage existing 16H ahead is used instead for the VELO ERROR voltage at the point when C DO is generated.

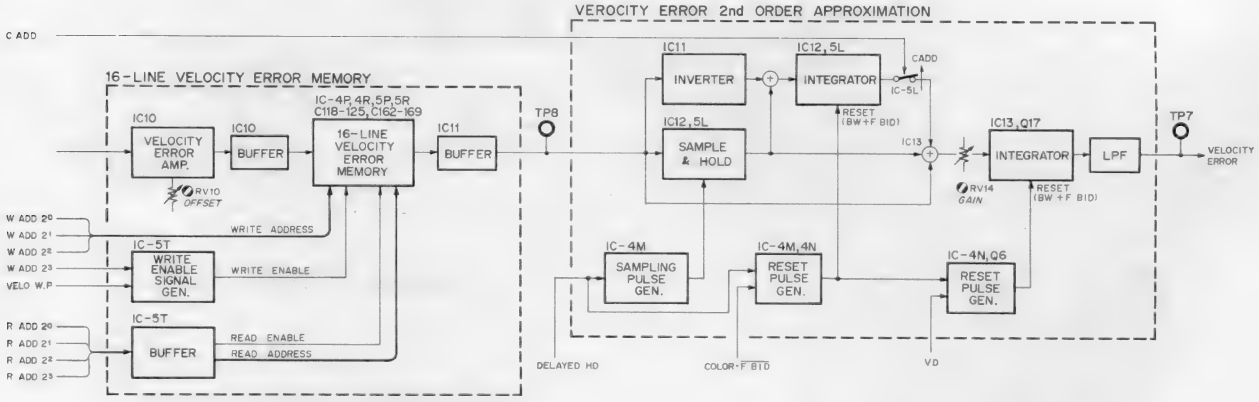


図3-4-11. ベロシティエラー補正回路

Fig. 3-4-11. Velocity Error Correction Circuit

[2] VELO ERROR 二次近似回路

原理図を図3-4-12に示す。ϕ はベロシティエラー，t_H はH周期63.5 μsである。t=0はW CKの先頭のタイミング（W CKにAPCがかかったタイミング）である。この時は $\phi=0$ となる。

あるライン L0 のベロシティエラーを ϕ_0，次のライン L1 のベロシティーエラーを ϕ_1 とすると，L1 におけるベロシティエラーの変化は次の二次式で近似できる。

$$\phi=\frac{1}{2t_H}\left\{\frac{1}{t_H}(\phi_1-\phi_0)t^2+(\phi_1+\phi_0)t\right\}\cdots(1)$$

実際の回路では，ベロシティエラー ϕ_0，ϕ_1 は $\phi-V$ 変換されて電圧 V_0，V_1 として得られる。

VELO ERROR 二次近似回路は V_0，V_1 を用いて (1) 式に対応した

$$V=k\left\{\frac{1}{t_H}(V_1-V_0)t^2+(V_1+V_0)t\right\}\cdots\cdots\cdots(2)$$

なる電圧を発生する回路である。

C156は V_0 をホールドする。IC12の1ピンには，V_0-V_1 を積分した電圧

$$\frac{1}{30\times10^{-6}}(V_1-V_0)t$$

が出力される。したがって，IC13の1ピンにはC ADD信号が“L”の時，

$$k'\left\{\frac{1}{60\times10^{-6}}(V_1-V_0)t^2+(V_1+V_0)t\right\}$$

なる電圧が得られ，(2) 式が実現する。VはVELO ERROR モジュレーター回路へ送られて $V-\phi$ 変換されるので，この結果 (1) 式が実現する。

[2] VELO ERROR second order approximation circuit

Fig. 3-4-12 is a diagram of the principle upon which this circuit operates. Φ is the velocity error and t_H is the horizontal period of 63.5 μs. t = 0 is the W CK head timing (timing by which W CK is subjected to APC). Φ = 0 at this time.

If it is assumed that the velocity error at line L0 is Φ_1 and the velocity error at the next line L1 is Φ_1, then the changes in the velocity error at L1 can be approximated by the following second order formula:

$$\Phi=\frac{1}{2t_H}\left\{\frac{1}{t_H}(\Phi_1-\Phi_0)t^2+(\Phi_1+\Phi_0)t\right\}\cdots\cdots(1)$$

In the actual circuit, the velocity errors Φ_0 and Φ_1 are Φ-V converted and produced as voltages V_0 and V_1.

The VELO ERROR second order approximation circuit is a circuit which generates the voltage in formula (2) below corresponding to formula (1) using V0 and V1.

$$V=k\left\{\frac{1}{t_H}(V_1-V_0)t^2+(V_1+V_0)t\right\}\cdots\cdots(2)$$

C156 holds V_0. The following voltage which integrates V_0-V_1 is output to pin 1 of IC-12:

$$\frac{1}{30\times10^{-6}}(V_1-V_0)t$$

Consequently, when the C ADD signal is low, the following voltage is produced at pin 1 of IC-13:

$$k'\left\{\frac{1}{60\times10^{-6}}(V_1-V_0)t^2+(V_1+V_0)t\right\}$$

and formula (2) is realized. V is sent to the VELO ERROR modulator circuit where V-Φ conversion takes place and so, as a result, formula (1) is realized.

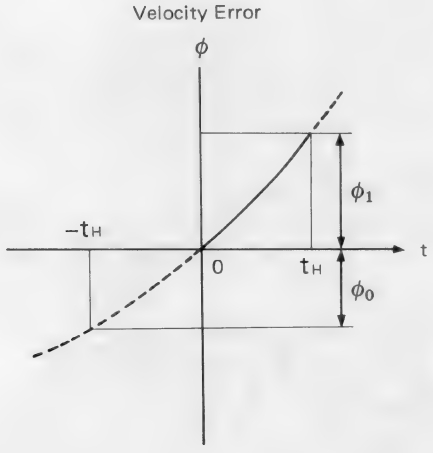


図3-4-12. 二次補正の原理

Fig. 3-4-12. Principle of 2nd-Order Approximation

なお，C ADD信号が“H”の時，すなわちクロマ信号をライン加算する時は，IC13の1ピンは

$$k\,(V_1+V_0)\,t$$

となり，ベロシティエラーもライン加算されるが，補正は一次近似補正である。
白黒モード時，高速BIDIREXモード時にはIC-5Lの14，15ピンは短絡，Q7はONとなり，ベロシティエラー補正は行なわれない。

3-4-4. READ ZEROジェネレーター

READ ZERO (RHZN) 信号はメインメモリーから映像信号データを読み出す際の先頭位置を示す信号である。
回路の概要を図3-4-13に示す。回路構成はWRITE ZEROジェネレーターと同じである。
RHZNは，HD信号から作られたHパルス (IC-3C，4ピン出力) をライン毎に位相がそろえられたFsc (IC-4A，8ピン出力) で同期化することによって作られる。
FscとHパルスとの間の同期化はIC-4Bで行なわれる。この同期化が安定に行なわれるように，IC-3C，3B，14のPLL回路はHパルスの位相を制御している。IC-15，1Cはオーバーエラー検出回路であり，IC-14がオーバーエラーとなった時，IC-14出力をリセットしてHパルス位相を基準位相に戻している。
IC-5A，5B，2A，2Bは読み出し側のSC-H位相を表示する回路である。SC-H位相が最適値であると“REF CF IN”のLEDが点灯する。
読み出し側のSC-H位相は，書き込み側と同様にマニュアル調整ができる。REF CF ADJ SW (S5) をADJ側にするとIC-3C，3B，14のPLLはオープンとなり，H位相制

When the C ADD signal is high or, in other words, when the chroma signal is added to the lines, the voltage at pin 1 of IC13 is:

$$k\,(V_1+V_0)\,t$$

and the velocity error is also added to the lines but the compensation takes the form of linear approximation.
In the monochrome mode and in the high-speed BIDIREX mode, IC-5L pins 14 and 15 are shorted and Q7 is set ON, and the velocity error is not compensated for.

3-4-4. READ ZERO Generator

The READ ZERO (RHZN) signal indicates the beginning of the video signal data when it is being read from the main memory.
An outline of the circuit of the READ ZERO generator is shown in Fig.3-4-13. The circuit configuration is the same as that of the WRITE ZERO generator.
RHZN is generated by synchronizing the H pulse (output from pin 4 of IC-3C) generated from the HD signal by Fsc (output from pin 8 of IC-4A) whose phase has been aligned at each line.
The H pulse is synchronized with Fsc by IC-4B. The PLL circuit consisting of IC-3C, 3B, and 14 controls the phase of the H pulse so that this synchronization takes place stably. IC-15 and 1C constitute an excessive error detection circuit. When an excessive error occurs in IC-14, it resets the output of IC-14 and restores the phase of the H pulse to the reference phase.
IC-5A, 5B, 2A, and 2B constitute a circuit which indicates the SC-H phase at the read side. When the SC-H phase is the optimum value, the “REF CF IN” LED lights.
Like the SC-H phase at the write side, the SC-H phase at the read side can be adjusted manually. By setting REF CF ADJ SW (S5) to the ADJ side, the PLL circuit consisting of IC-3C,

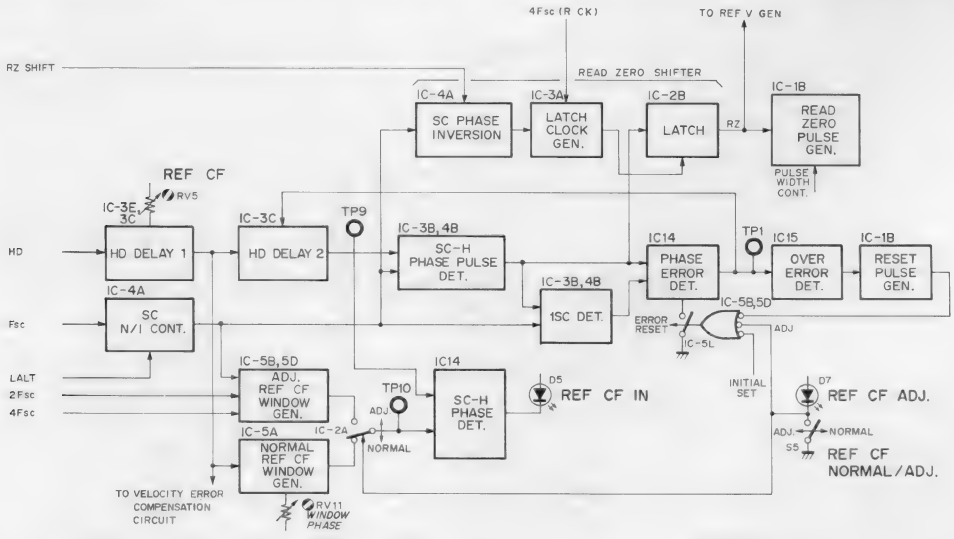


図3-4-13. READ ZEROジェネレーター

Fig. 3-4-13. READ ZERO Generator

御が行なわれなくなるのでREF CFボリューム（RV5）によってH位相を変えることができる。
なお，SC-H位相が最適値であるかどうかの判定をするWINDOWは，NORMAL時はHD信号から作られた幅約250 nsのパルス，ADJ時はFsc，2Fsc，4Fsc（R CK）から作られた幅約30 nsのパルスである。

3-4-5. REF VN, Y ADD INHジェネレーター

回路の概要を図3-4-14に示す。
REF VNは，メインメモリーから読み出すビデオ信号と基準ビデオ信号との間の位相を決める信号である。基準ビデオ信号に対するREF VNの位相は，VTRのモードに応じて表3-4-3のように変わる。EE（S6; ON）モード時のREF VNがPLAYモード時よりも4H遅れた位相となっているのは，メインメモリーの読み出しに対する書き込みの位相を相対的に4Hアドバンスさせているからである。
ところで，高速BIDモードでメインメモリーを時間軸補正のWINDOWとして使うと，メモリージャンプが頻繁に起き，TBC出力の画像はかえって見にくくなる。このため，高速BIDモードにおいてはメインメモリーはWINDOWの働きはせず，単に1Hメモリーとして使われるだけである。このモードではメインメモリーの書き込み／読み出しにアドバンス関係はない。高速BIDモードにおけるWVN信号（メモリー書き込みのV位相を決める信号）は，メモリー読み出し側のV信号であるTBC VDから作られる。通常WVNはPB Vから作られるが，高速BIDモードでは，PB Vが検出されなくなるからである。高速BIDモードでのREF VNの位相は，このTBC VDの位相に合わせるように，基準信号の10Hの位相になっている。

3B, and 14 goes open, preventing H phase control from taking place. Consequently, the H phase can be changed by means of the REF CF control (RV5).
The window that judges whether or not the SC-H phase is the optimum value during normal operation is a pulse of about 250 ns in width generated from the HD signal; during adjustment it is a pulse of about 30 ns in width generated from Fsc, 2Fsc, and 4Fsc (R CK).

3-4-5. REF VN, Y ADD INH Generator

REF VN is a signal which determines the phase between the video signal that is read from the main memory, and the reference video signal. The phase of REF VN with respect to the reference video signal changes in accordance with the mode of the VTR, as shown in Table 3-4-3. The phase of REF VN in the EE (S6:ON) mode is delayed 4H with respect to the phase in the PLAY mode because the write phase is advanced 4H with respect to read of the main memory.
Incidentally, if the main memory is used as a time base correction window in the high speed BID mode, memory jump will occur frequently, and the image of the TBC output will become difficult to see. Consequently, in the high speed BID mode, the main memory does not function as a window, but is used simply as a 1H memory. In this mode, there is no advance relation between write/read. In the high speed BID mode, the WVN signal (signal which determines the V phase of memory write) is generated from TBC VD which is the V signal on the memory read side. This is because whereas normally WVN is generated from PB V, in the high speed BID mode PB V fails to be detected. Thus, the phase of REF VN in the high speed BID mode is 10H with respect to the reference signal to ensure that REF VN is in phase with TBC VD.
The Y ADD INH signal is used to inhibit Y signal line addition during the V blanking period.

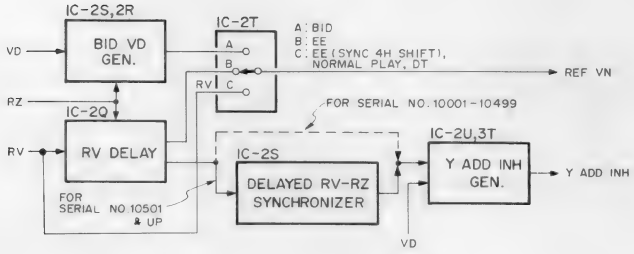


図3-4-14. REF VN, Y ADD INHジェネレーター

Fig. 3-4-14. REF VN, Y ADD INH Generator

Mode of VTR	REF VN	Y ADD INH
EE(S6/SG-10:OFF)	17H	0 thru 20H
EE(S6/SG-10:ON)	18H	4 thru 24H
PLAY	14H	0 thru 20H
DT	14H	0 thru 20H
FAST BIDIREX	10H	0 thru 20H

表3-4-3. 基準ビデオ信号に対するREF VN, Y ADD INHの位相

Table 3-4-3. Phase of REF VN and Y ADD INH toward the Reference Video Signal

3-5. PR-64基板回路

PR-64基板には，メインメモリー出力のディジタルビデオ信号をD/A変換するD/Aコンバーターと，D/A変換されたビデオ信号に対して，クロマレベル制御，セットアップレベル制御，基準同期信号・バースト信号付加など行なうビデオ信号プロセス回路が設けられている。
ビデオ信号プロセス回路出力がTBC出力信号となる。

3-5-1. D/Aコンバーター

回路の概要を図3-5-1に示す。
メインメモリーから読み出されたR DATAはECLからTTLレベルに変換された後，IC14に入る。IC14は電流切換R-2Rラダー型のD/Aコンバーターである。IC14の10ビットのディジタルインプットのうち上位側9ビットにR DATAが入力される。クロック信号には4 fscのR CKが用いられる。
D/A出力電圧範囲は0～−2 Vである。
IC14は内蔵定電流源の電流値を加減するための制御端子(ISET)を備えており，D/A出力電圧振幅の調整が可能である。これを利用して，D/A変換回路ではビデオレベル制御も行なっている。ビデオレベル制御の基本的な動作は，D/A出力のペデスタルレベルがレベル制御電圧(VIDEO CONT)に追従するようにISET端子電圧を定める，というものである。サンプリングされるペデスタルレベルはディジタル的にレベルが固定されている同期信号部分である。
ビデオレベル調整されたD/A出力は，補間フィルター(fc=8 MHz)を経てビデオ信号プロセス回路へ送られる。

3-5. PR-64 BOARD CIRCUITRY

The PR-64 board contains a D/A converter which D/A-converts the main memory output digital video signal, and a video signal processing circuit which performs chroma level control and setup level control with respect to the D/A converted video signal, as well as adding a reference sync signal and burst signal.
The output of the video signal process circuit is the TBC output signal.

3-5-1. D/A Converter

R DATA which is read out from the main memory is level-converted from ECL to TLL, then enters IC14. IC14 is an R/2R ladder (switched current source) type D/A converter. R DATA enters the top 9 bits in IC14 10-bit digital input. The clock signal is a 4fsc R CK signal. The D/A output voltage range is 0 to −2 V.
IC14 is provided with a control terminal (ISET) for controlling the value of the weighted current. This permits the amplitude of the D/A output voltage to be adjusted. Utilizing this, video level control takes place in the D/A converter circuit. The basic operation of video level control is setting the I SET terminal voltage so that the D/A output pedestal level follows the level control voltage (VIDEO CONT). The pedestal level to be sampled is the synchronizing signal portion whose level is digitally fixed.
The D/A output which has undergone video level adjustment is sent to the video signal process circuit via an interpolation filter (fc = 8 MHz).

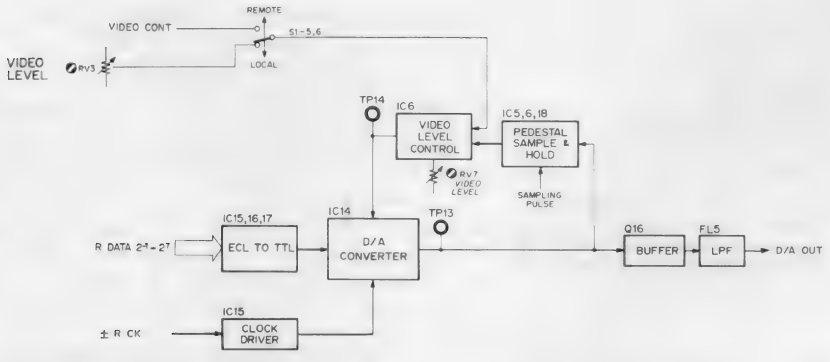


図3-5-1. D/Aコンバーター

Fig. 3-5-1. D/A Converter

3-5-2. ビデオ信号プロセス回路

[1] クロマレベル制御回路

回路の概要を図3-5-2に示す。

クロマレベル制御回路は，ディレイラインDL1，リニア乗算器IC9，クロマ成分加算器Q12などから成っている。DL1の遅延量が$\frac{1}{2\,fsc}$秒であるので，DL1の反射成分を含むビデオ信号からDL1を通過したビデオ信号を減算するとクロマ成分のみがQ13のコレクターに出力される。このクロマ成分のレベルはIC9の8ピン/YIN（−）の印加電圧に依存している。したがって，Q13コレクター出力とビデオ信号（FL4出力）とを加え合わせると，CHROMA CONT電圧によってクロマレベルが調整されたビデオ信号となる。ローパスフィルターFL4はタイミング合わせのためのディレイラインとして機能している。

図3-5-3にクロマレベル制御回路の周波数特性を示す。

[2] セットアップ制御回路

回路の概要を図3-5-2に示す。

セットアップ制御回路は，Q12のエミッターからIC12（−）入力に至る帰還ループで構成されている。IC11の出力は，Q12のエミッター出力のペデスタルレベルがIC11の（+）入力に印加されているSET UP CONT電圧に追従するように，IC12のオフセットを制御している。

3-5-2. Video Signal Processing Circuit

[1] Chroma level control circuit

An outline of the circuit is shown in Fig. 3-5-2.

The chroma level control circuit consists of delay line DL1, linear multiplier IC9, and chroma component adder Q12. The amount of delay in DL1 is 1/2fsc second. When the video signal which passes through DL1 is subtracted from the video signal containing the reflection component of DL1, only the chroma components will be output to the collector of Q13. The level of this chroma component depends on the voltage applied to pin 8/YIN (−) of IC9. Consequently, when the output of the collector of Q13 is added to the video signal (FL4 output), the result will be a video signal whose chroma level is adjusted by the CHROMA CONT voltage. The low-pass filter FL4 functions as a delay line for timing.

Fig. 3-5-3 shows the frequency characteristics of the chroma level control circuit.

[2] Setup control circuit

An outline of the circuit is shown in Fig. 3-5-2.

The setup control circuit comprises a feedback loop going from the emitter of Q12 to the (−) input of IC12. The output of IC11 controls the offset of IC12 so that the pedestal level of the emitter output of Q12 follows the SET UP CONT voltage applied to the (+) input of IC11.

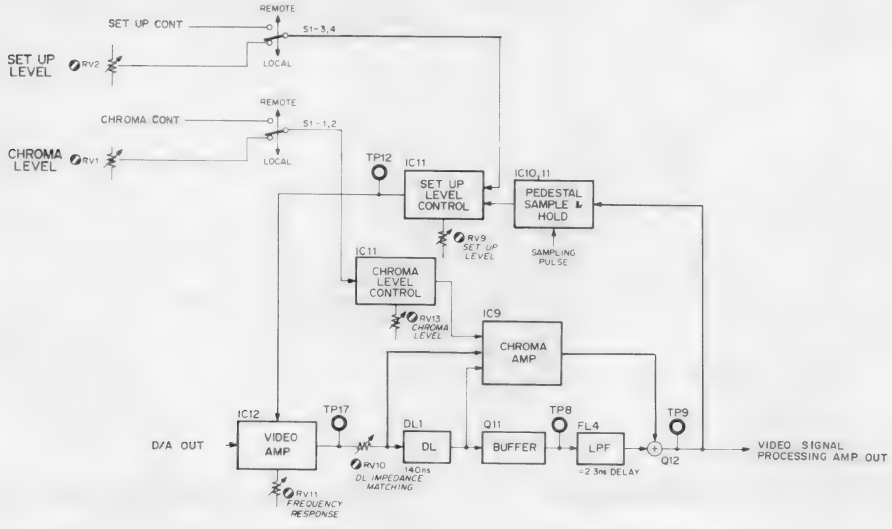


図3-5-2. ビデオ信号プロセス回路

Fig. 3-5-2. Video Signal Processing Circuit

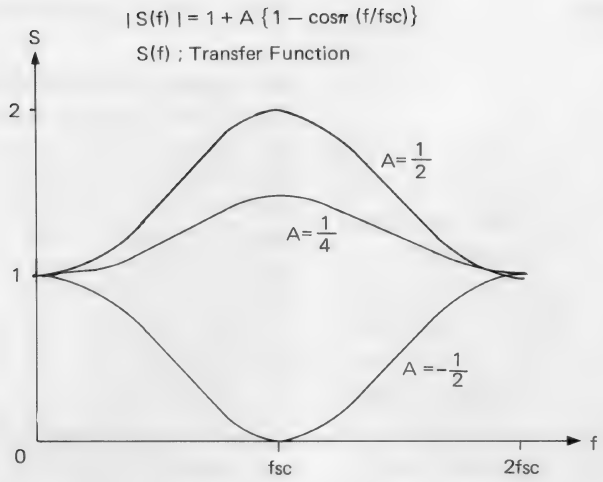


図3-5-3. クロマレベル制御回路の周波数特性　　Fig. 3-5-3. Frequency Response of Chroma Level Control Circuit

[3] ブランキング，バースト信号付加回路

回路の概要を図3-5-4に示す。

Q12出力のビデオ信号のHおよびVのブランキングと基準バースト信号の付加はIC2，Q1，Q2，で構成される帰還増幅器で行なわれる。この帰還増幅器は，BLK信号を切換信号とする2入力のアナログスイッチャーである。スイッチャーの一方の入力には基準バースト信号が入っている。Q12出力の同期信号/バースト信号の区間は，BLK信号によって，この基準バースト信号に置き換えられる。その結果，アナログスイッチャー出力は基準バースト信号が付加されたビデオ信号となる。

[3] Blanking and burst signal adding circuit

An outline of the circuit is shown in Fig. 3-5-5.

The H and V blanking and the addition of reference burst signal to the Q12 output video signal takes place by means of the feedback amplifier consisting of Q1 and Q2. This feedback amplifier is a 2-input analog switcher employing the BLK signal as the switchover signal. The reference burst signal enters one input of the switcher. The synchronizing signal/burst signal section of the Q12 output is replaced by the reference burst signal, by means of the BLK signal. As a result, the analog switcher output is a video signal to which the reference burst signal has been added.

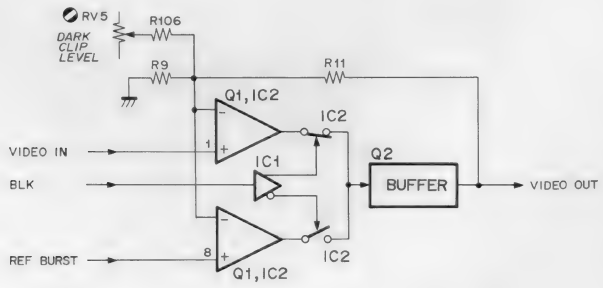


図3-5-4. ブランキング，バースト信号付加回路　　Fig.3-5-4. Blanking and Burst signal Addition Circuit

3-5-3. 基準バースト信号ジェネレーター

回路の概要を図3-5-5に示す。
基準バースト信号は，PR Fsc信号から作られている。
PR Fscは，BF信号から作られたバーストゲート信号によって打ち抜かれ，バンドパスフィルターで帯域制限された後，基準バースト信号となる。
なお，BURST ON/OFF スイッチ（S3）によって，TBC出力にバースト信号を付加するかしないかを指定できる。

3-5-3. Reference Burst Signal Generator

An outline of the circuit is shown in Fig. 3-5-4.
The reference burst signal is generated from the PR Fsc. The PR Fsc is punched out by the burst gate signal which has been generated from the BF signal. After the punched out PR Fsc has been band-limited by the band-pass filter, it becomes the reference burst signal.
The BURST ON/OFF switch (S3) is used to add or not add a burst signal to the TBC output.

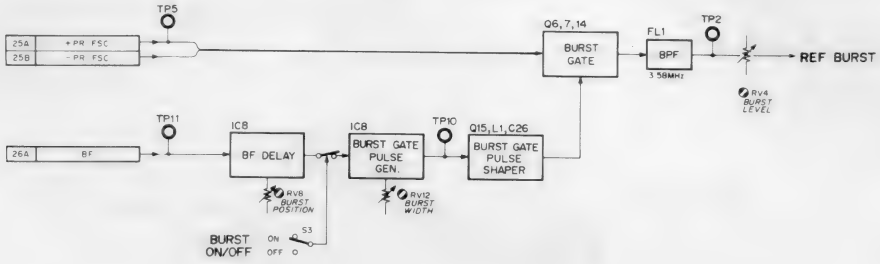


図3-5-5. 基準バースト信号ジェネレーター

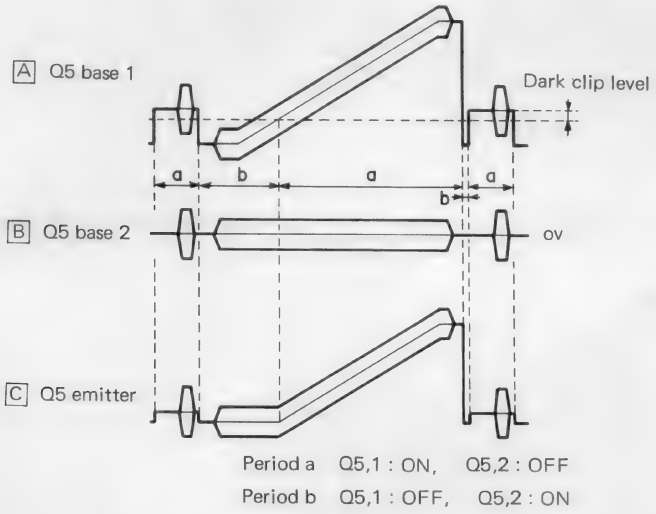
Fig. 3-5-5. Reference Burst Signal Generator

3-5-4. ダーククリッパー

ダーククリッパーはQ3, Q4, Q5, FL2で構成される回路である。Q5の一方のベースには基準バースト信号が付加されたビデオ信号が入り，他方のベースにはバンドパスフィルターを経たクロマ成分のみが入る。したがって，Q5のエミッターには，クロマ成分を除くペデスタルレベル以下がクリップされた信号が出てくる。クリップレベルは，ブランキング/バーストアダー回路のオフセット調整用ボリュームRV5で設定する。Q3, Q4はQ5の動作点を安定化しており，これによってクリップ動作時のQ5のゲイン補償が行なわれる。
図3-5-6にこの回路の動作例を示す。

3-5-4. Dark Clipper

The dark clipper is a circuit consisting of Q3, Q4, Q5 and FL2. The video signal to which the reference burst signal has been added, is applied to one base of Q5 and in the other base, only the chroma component which has passed through the band-pass filter is applied. The signal below the pedestal level is clipped, excluding the chroma component. The clipped signal appears at the emitter of Q5. The clipping level is set by means of variable resistor RV5 for offset adjustment in the blanking/burst adder circuit. Q3 and Q4 stabilize the operating point of Q5, permitting gain compensation of Q5 during clipping.
An outline of the circuit is shown in Fig. 3-5-6.



Example with purposefully high negative set-up
故意に大きな負のSET UPをつけた場合の例

図3-5-6. ダーククリッパーの動作

Fig. 3-5-6. Dark Clipper Operation

3-5-5. 出力ビデオバッファー, SYNC付加回路

IC3, IC4は出力バッファーである。それぞれの出力側において同期信号が付加される。付加される同期信号はTBC SYNC信号から作られる。Q10に入ったTBC SYNCはRV6によって振幅調整され，つづいてローパスフィルターFL3で波形整形された後，Q8, Q9によってそれぞれのバッファー出力に付加される。Q9のスイッチング動作はS2でON/OFFでき，これによってTBC OUT2のCOMP/NON COMPを選択することができる。

3-5-5. Output Video Buffer and SYNC Adding Circuit

IC3 and IC4 are output buffers. At the output side of each buffer is added a synchronizing signal which is generated from TBC SYNC signal. The TBC SYNC signal which is applied to Q10 is amplified and adjusted by RV6, is then waveshaped by low-pass filter FL3, and added to the respective buffer output by means of Q8 and Q9. The switching operation of Q9 can be turned ON/OFF by means of S2, enabling COMP/NON COMP of TBC OUT2 to be controlled.

3-6. 信号

BKH-2150で用いられている信号とその機能は次のとおりである。(アルファベット順)

ANA OUT SPR

[Playback Tape Speed signal]
VTRの再生テープスピードを示す信号で，−50〜+50倍速に対応して−2.5 V〜+2.5 Vの変化とする。

BF

[Burst Flag]
リファレンスのバースト信号のタイミングを示す信号。この信号を基にバーストゲートパルスが作られる。

BLK

[Blanking signal]
REF側のH, Vブランキング信号。Hブランキングは同期信号とバースト信号部分について行なわれる。
Vブランキングは1〜21ラインを対象としている。
このうち1〜9ラインは常にブランキングされる。10〜21ラインについては，ブランキングするラインをスイッチによって指定できる。

C ADD

[Chroma Line Addition]
DTモードでかつY ADD ONの時，クロマ信号のライン加算が行なわれていることを示す信号。

C DO

[Chroma Dropout signal]
バースト信号がドロップアウトしたことを示す信号。この時，クロマ信号は1H前ライン置換えされる。

CHROMA CONT

[Chroma Level Control Voltage]
TBC OUT1, 2のクロマレベルを調整するための制御電圧。VTRのREMOTE AUXコネクターを経由して外部(例えばBK-2006)から送られてくる。

COL FR PULSE

[Color Frame Pulse]
再生ビデオ信号の第1フィールドの先頭部のタイミングで出力される幅約5 msの4フィールドレートの負方向パルス。この信号によって，書込み側と読出し側で作られているSCのライン位相反転を初期設定し，それぞれのSCに，再生ビデオ信号の正しいカラーフレーム情報を持たせる。

3-6. SIGNALS

The signals used in the BKH-2150 and their functions are as follows. (in alphabetic order)

ANA OUT SPR

[Playback Tape Speed signal]
The signal indicates the playback tape speed of the VTR. It varies between −2.5 V and +2.5 V, corresponding to ±50 times normal speed.

BF

[Burst Flag]
The signal which indicates the timing of the reference burst signal. Based on this signal, the burst gate pulse is generated.

BLK

[Blanking Signal]
The H and V blanking signal on the REF side. For the H blanking, sync and burst signal portions of the video signal are blanked out. For the V blanking, lines 1 to 21 can be blanked out. Lines 1 to 9 are always blanked out, and the blanking for lines 10 to 21 can be designated by means of switches.

C ADD

[Chroma Line Addition]
The signal indicates that line addition of the chroma signal is taking place when the VTR is in the DT mode and Y ADD is ON.

C DO

[Chroma Dropout Signal]
The signal which indicates that the off-tape burst signal has dropped out.
When a dropout occurs in the burst signal, line replacement by the 1H before signal is applied to the chroma signal only.

CHROMA CONT

[Chroma Level Control Voltage]
The control voltage used to adjust the level of the TBC OUT 1 and 2 chroma signals. It is applied from an external source (for example, BK-2006) via the REMOTE AUX connector of the VTR.

COL FR PULSE

[Color Frame Pulse]
The 4-field rate negative-going pulse of about 5ms width which is output by the timing of the front of the first field of the off-tape video signal. Under this signal, the line phase inversion of SC which is generated at the write and read sides is set initially, and each SC signal is provided with correct color frame information concerning the off-tape video signal.

COLOR/BW

[Color/Black/and White Mode signal]
ビデオ信号がカラーモードか白黒モードかを示す信号。カラーモードの時は"H"，白黒モードの時は"L"となる。

CONFI

[Confidence Mode signal]
VTRが記録時に同時再生している場合（これをCONFIDENCEモードと呼んでいる），"L"となる信号。同時再生した場合，再生ビデオ信号はリファレンスビデオ信号に対してV/3遅延するので，この信号によって，TBCのSYNC GENの同期基準もV/3遅延される。

DEMOD OUT 1

[Demodulator Output 1
BVH-2000のデモジュレーター（DM-25基板）出力信号。デモジュレーター出力には1と2があり，1はBKH-2150に入力される。2は外部TBC（BVT-2000）への出力となる。

DO2

[Dropout2 signal]
VTRのイコライザー（EQ-02基板）で検出されたドロップアウト信号。"L"がドロップアウトを示す。

DT

[TBC Dynamic Tracking Mode signal]
DT MODE信号とPLAY STATUS信号が共に"L"の時に"L"となる信号であり，TBCがDT処理を行なっていることを示す。

DT MODE

[VTR Dynamic Tracking Mode signal]
VTRがDTモードであることを示す信号。

DT SEL

[DT Processing Selection signal]
プラグインTBCがBKH-2100かBKH-2150かを示す信号。この信号により，SR-15基板においてアドバンス量が切り替わる。

DT V

[DT V Sync]
DTモード時の再生V信号。DT-04基板においてFHX信号から作られる。

COLOR/BW

[Color/Black and White Mode Signal]
The signal indicates whether the video signal is in the color mode or black and white mode. In the color mode, this signal is "H", and in the black and white mode, it is "L".

CONFI

[Confidence Mode Signal]
The signal which becomes "L" when performing simultaneous playback while the VTR is in the record mode (this is called the CONFIDENCE mode). Since the off-tape video signal will be delayed by V/3 with respect to the reference video signal when performing simultaneous playback, the CONFI signal makes the synchronizing reference of TBC SYNC GEN delay by V/3.

DEMOD OUT 1

[Demodulator Output 1]
This is the demodulator (DM-25 board) output signal of BVH-2000. There are two demodulator outputs, 1 and 2. 1 is input to BKH-2150 , and 2 is output to the external TBC (BVT-2000).

DO2

[Dropout 2 Signal]
The dropout signal which is detected by the VTR equalizer (EQ-02 board). When it is "L", it indicates a dropout.

DT

[TBC Dynamic Tracking Mode signal]
The signal becomes "L" when both of the DT MODE and PLAY STATUS signals are "L". It indicates that TBC is being DT-processed.

DT MODE

[VTR Dynamic Tracking Mode signal]
The signal indicates that the VTR is in the DT mode.

DT SEL

[DT Processing Selection Signal]
The signal indicates that the plug-in TBC is BKH-2100 or BKH-2150. When it is input, the degree of advance at the SR-15 board will change.

DT V

[DT V Sync]
This is the playback V signal when the VTR is in the DT mode. It is generated from the FHX signal at the DT-04 board.

EE/TAPE

[EE/OFFTAPE Indication signal]

VTR出力ビデオ信号がEE信号かOFFTAPE信号かを示す信号。EEの時は"H"，OFFTAPEの時は"L"となる。

F BID

[First Bidirex Mode signal]

VTRが7倍速以上の高速再生モードであることを示す信号。

FHX

[H Frequency signal for DTV Generation]

DT-04基板へ送られるWCNTH信号。FHXからDT V信号が作られる。

HUE CONT

[Hue Control Voltage]

HUE調整のための制御電圧。VTRのREMOTE AUXコネクターを経由して外部（例えばBK-2006から送られてくる。

INITIAL SET

[Initial Setting signal]

PLAY STATUS信号の立上がりのタイミングで出力される信号。W ZERO GENとR ZERO GENを約1秒間リセットする。また，同時にN/I SET PULSE GENを動作させる。

LALT

[Line Alternation signal]

ライン反転信号。リファレンスビデオ信号のSC位相のライン反転に対応して，1ライン単位で反転している。

OUT 14

[Output 14 signal]

VTRがEDITモードであることを示す信号。EDITモード時は"L"となる。

PBCF

[Playback Color Framing Adjust Voltage]

書き込み側のSC-H位相を調整するための制御電圧。REMOTE AUX-13端子を通して外部のリモートコントロールユニットから送られてくる。

EE/TAPE

[EE/OFFTAPE Indication signal]

The signal indicates whether the VTR output video signal is an EE signal or an OFFTAPE signal. If the VTR output is EE, this signal is "H"; if the VTR output is OFFTAPE, this signal is "L".

F BID

[First Bidirex Mode signal]

The signal indicates that the VTR is in the high speed playback mode in which the speed is x 7 or greater.

FHX

[H Frequency Signal for DT V Generation]

This is the WCNTH signal which is sent to the DT-04 board. The DT V signal is generated from the FHX signal.

HUE CONT

[Hue Control Voltage]

The control voltage for HUE adjustment. It is applied from an external source (for example BK-2006) via the REMOTE AUX connector of the VTR.

INTIAL SET

[Initial Setting Signal]

The signal output by the timing of the rise of the PLAY STATUS signal. It resets W ZERO GEN and R ZERO GEN for a period of about 1 second. It also operates the N/I SET PULSE GEN.

LALT

[Line alternation Signal]

The line inversion signal. It performs inversion in 1-line units, corresponding to the line inversion of the SC phase of the reference video signal.

OUT 14

[Output 14 signal]

The signal indicates that the VTR is in the EDIT mode. In the EDIT mode, this signal is "L".

PBCF

[Playback Color Framing Adjust Voltage]

The control voltage used to adjust the phase of SC-H on the write side. It is sent from the external remote control unit via the REMOTE AUX.13 terminal.

PBCF ADJ

[PBCF Adjustment ON signal]

書き込み側のSC-H位相調整を可能とする信号。REMOTE AUX-12端子を通して外部のリモートコントロールユニットから送られてくる。"L"で調整可能となる。

PBCF IN

[PBCF Phase Indication signal]

書き込み側のSC-H位相が最適値になっていることを示す信号。

PB CHROMA

[Playback Chroma signal]

再生ビデオ信号の中のクロマ信号。BVH-2000のデモジュレーター(DM-25基板)から送られてくる。

PB SYNC

[Playback Sync signal]

再生ビデオ信号の中のSYNC信号。BVH-2000のデモジュレーター(DM-25基板)から送られてくる。

PB V

[Playback V Sync signal]

再生ビデオ信号の中のV同期信号。BVH-2000のデモジュレーター(DM-25基板)から送られてくる。

PBCF ADJ

[PBCF Adjustment ON signal]

The signal permits SC-H phase adjustment at the write side. It is sent from the external remote control unit via the REMOTE AUX.12 terminal. When it is "L", phase adjustment can be performed.

PBCF IN

[PBCF Phase Indication signal]

The signal indicates that the SC-H phase at the write side is the optimum value.

PB CHROMA

[Playback Chroma Signal]

The chroma signal in the playback video signal. It is received from the demodulator of BVH-2000 (DM-25 board.)

PB SYNC

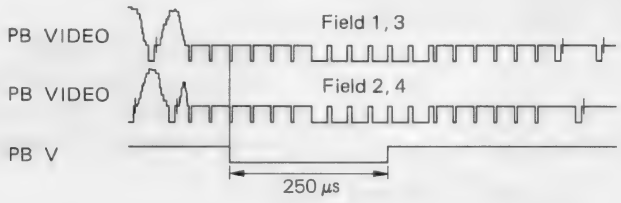
[Playback Sync Signal]

The SYNC signal in the playback video signal. It is applied from the demodulator (DM-25 board) of BVH-2000.

PB V

[Playback V Sync Signal]

The V synchronizing signal in the playback video signal. It is applied from the demodulator (DM-25 board) of BVH-2000.



PLAY STATUS

[VTR Play Status signal]

VTRの再生モードを示す信号。"H"の時はノーマル再生，"L"の時はバイディレックス再生である。

±PR Fsc

[Process Fsc signal]

SERVO REFERENCE VIDEOのSCに同期している信号。この信号からTBC出力のバースト信号が作られる。

R ADD 2^0, 2^1, 2^2, 2^3

[Read Address 2^0, 2^1, 2^2, 2^3]

メモリー読み出しのためのラインアドレスデータ。

PLAY STATUS

[VTR Play Status Signal]

The signal which indicates the playback mode of the VTR. When it is "H", it represents normal playback, and when it is "L", BIDIREX playback.

±PR Fsc

[Process Fsc Signal]

The signal which is synchronized with SC of the SERVO REFERENCE VIDEO. The burst signal of the TBC output is generated from this signal.

R ADD 2^0, 2^1, 2^2, 2^3

[Read Address 2^0, 2^1, 2^2, 2^3]

The line address data for memory read.

±R CK

［Read Clock］

メモリー読み出しクロック。周波数は4 fsc。

±R DATA 2^{-1}, 2^0, 2^1, 2^2, 2^3, 2^4, 2^5, 2^6, 2^7

［Read Data］

メモリーから読み出されたビデオ信号データ。PR-64基板へ送られてD/A変換される。

RE±12

［Remote Control Unit Supply Voltage, ±12 V］

リモートコントロールユニット用の±12 V電源。REMOTE AUX-7, 15端子から外部へ供給される。

REF BW

［Reference Blak and White signal］

SERVO REFERENCE VIDEOが白黒信号であることを示す信号。白黒信号のとき"L"となる。

REF SYNC

［Reference Sync signal］

BVH-2000のサーボリファレンス回路（SR-15基板）から送られてくるSYNC信号。SG-10基板のSYNC GENの基準信号となる。

REF VN

［Reference V Sync］

メモリー読み出し側のV信号。この信号によって，メモリーから読み出すビデオ信号のV位相を決める。

REF 4F

［Reference 4-Field signal］

BVH-2000のサーボリファレンス回路（SR-15基板）から送られてくる4フィールドインターバルの信号。2フィールド毎にレベルが反転している。

±R CK

[Read Clock]

The memory read clock. Its frequency is 4fsc.

±R DATA 2^{-1}, 2^0, 2^1, 2^2, 2^3, 2^4, 2^5, 2^6, 2^7

[Read Data]

The data concerning video signals read out from the memory. It is transmitted to the PR-64 board and is D/A-converted.

RE±12

[Remote Control Unit Supply Voltage, ±12 V]

±12 V power supply for the remote control unit. This voltage is supplied from the REMOTE AUX-7 and 15 terminals to the external remote control unit.

REF BW

[Reference Black and White Signal]

The signal which indicates the SERVO REFERENCE VIDEO is a black and white signal. When it is a black and white signal, it becomes "L".

REF SYNC

[Reference Sync Signal]

The SYNC signal which is applied from the BVH-2000 servo reference circuit (SR-15 board). It is used as a reference signal for SYNC GEN of the SG-10 board.

REF VN

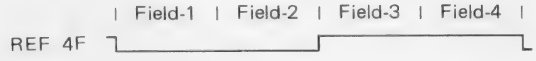
[Reference V sync]

Memory read side V signal. This signal determines the V phase of the video signal which is read from the memory.

REF 4F

[Reference 4-field Signal]

The 4-field interval signal which is applied from the BVH-2000 servo reference circuit (SR-15 board). It is inverted every 2 fields.



R FLD

［Read-side Field signal］

メモリー読み出し側のフィールド信号。

ODDフィールド; L, EVENフィールド; H。

R FLD

[Read-side Field signal]

Field signal at memory read side. ODD field: L, EVEN field: H

RHZN

[Read Zero signal]
各ライン毎にメモリー読み出しのスタートを指示する信号。

R N/I

[Read Normal/Inversion signal]
R ZERO発生の基準信号となるSCの位相をライン反転する信号。

RZ SHIFT

[Read Zero Shift signal]
RHZN発生の基準信号となるSCの位相をライン反転する信号。

SC CONT

[SC Phase Control Voltage]
読み出し側のSC位相を調整する制御電圧。VTRのREMOTE AUXコネクターを経由して外部(例えばBK-2006)から送られてくる。

SET UP CONT

[Set up Control Voltage]
TBC出力のSET UPを調整するための制御電圧。VTRのREMOT AUXコネクターを経由して外部(例えばBK-2006)から送られてくる。

SR VIDEO

[Servo Reference Video signal]
VTRのサーボリファレンスとなっているビデオ信号。TBCのリファレンスビデオ信号でもある。

STBY OUT

[STAND BY Mode signal]
VTRがSTAND BYモードにあることを示す信号。

TBC FRAME

[TBC Frame signal]
SG-10基板のSYNC GENで発生されるフレーム信号。

RHZN

[Read Zero signal]
The signal specifies the start of memory read for each line.

R N/I

[Read Normal/Inversion Signal]
The signal line-inverts the phase of SC which becomes the reference signal for R ZERO generation.

RZ SHIFT

[Read Zero Shift signal]
The signal line-inverts the phase of SC which constitutes the reference generated by RHZN.

SC CONT

[SC Phase Control Voltage]
The control voltage which adjusts the SC phase on the read side. It is applied from an external source (for example BK-2006) via the REMOTE AUX connector on the VTR.

SET UP CONT

[Set Up Control Voltage]
The control voltage used for adjusting the SET UP of the TBC output. It is applied from an external source (for example BK-2006) via the REMOTE AUX connector of the VTR.

SR VIDEO

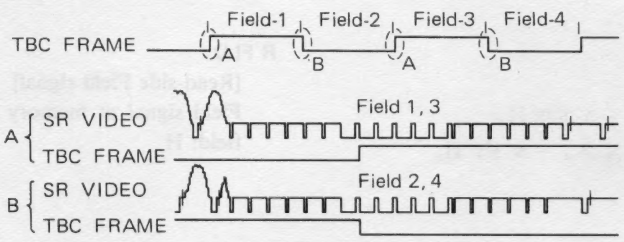
[Servo Reference Video Signal]
The video signal for the VTR servo reference. It is also the reference video signal for TBC.

STBY OUT

[STANDBY Mode signal]
The signal indicates that the VTR is in the STANDBY mode.

TBC FRAME

[TBC Frame Signal]
The frame signal which is generated from SYNC GEN on the SG-10 board.



TBC OUT 1

[TBC Output Video signal 1]

時間軸補正されたビデオ信号出力。TBC OUT 1はコンポジットビデオ信号のみが出力される。

TBC OUT 2

[TBC Output Video signal 2]

時間軸補正されたビデオ信号出力。TBC OUT 2については，PR-64基板のCOMP/NON-COMPスイッチによってコンポジット/ノンコンポジットの設定を選択することができる。

TBC SYNC

[TBC Synchronizing signal]

SG-10基板のSYNC GENで発生された同期信号。TBC OUT 1, 2のSYNC信号となる。

TBC VD, TBC VDD

[TBC V Drive signal]

SG-10基板のSYNC GENで作られたVドライブ信号。

VELO ERROR

[Velocity Error Voltage]

速度誤差電圧。1H前のバースト信号によってAPCがかけられたW SCと，現在のバースト信号との位相比較によって検出されている。

VELO W. P

[Velocity Error Write Pulse]

VELO ERROR MEMORYにVELO ERRORの書き込みを指示する信号。

VIDEO CONT

[Video Level Control Voltage]

TBC OUT 1, 2のビデオレベルを調整するための制御電圧。VTRのREMOTE AUXコネクターを経由して外部（例えばBK-2006）から送られてくる。

W ADD 2^0, 2^1, 2^2, 2^3

[Write Address 2^0, 2^1, 2^2, 2^3]

メモリー書き込みのためのラインアドレスデータ。

±W CK

[Write Clock]

メモリー書き込みクロック。周波数は4 fsc。再生バース信号に位相ロックしている。

TBC OUT 1

[TBC Output Video Signal 1]

The video signal output which is time-base corrected. Only a composite video signal is output from TBC OUT 1.

TBC OUT 2

[TBC Output Video Signal 2]

The video signal output which is time-base corrected. Regarding TBC OUT 2, the composite/non-composite setting can be selected using the COMP/NON-COMP switch on the PR-64 board.

TBC SYNC

[TBC Synchronizing Signal]

The synchronizing signal generated by SYNC GEN, on the SG-10 board. It is used as sync signal in the TBC output video signal.

TBC VD, TBC VDD

[TBC V Drive Signal]

The V drive signal generated by SYNC GEN. on the SG-10 board.

VELO ERROR

[Velocity Error Voltage]

The velocity error voltage. It is detected by a phase comparison between W SC to which APC is applied by a burst signal of 1H before, and the present burst signal.

VELO W. P

[Velocity Error Write Pulse]

The signal which writes VELO ERROR into the VELO ERROR MEMORY.

VIDEO CONT

[Video Level Control Voltage]

The control voltage which adjusts the video level of TBC OUT 1 and 2. It is applied from an external source (for example BK-2006) via the REMOTE AUX connector of the VTR.

W ADD 2^0, 2^1, 2^2, 2^3

[Write Address 2^0, 2^1, 2^2, 2^3]

The line address data for memory write.

±W CK

[Write Clock]

The memory write clock. Its frequency is 4fsc. It is phase-locked to the playback burst signal.

WCNTH
[Write-side Counter H signal]
メモリー書き込みのためのラインアドレスを作るHレートの信号。AD-20基板のH-PLL回路で発生された910 F_Hパルスを910分周して作られる。

±W DATA 2^{-1}, 2^0, 2^1, 2^2, 2^3, 2^4, 2^5, 2^6, 2^7
[Write Data]
A/D変換されてメインメモリーへ書き込まれるビデオ信号データ。

W FLD
[Write-side Field signal]
メモリー書き込み側のフィールド信号。
ODDフィールド; L, EVENフィールド; H。

W N/I
[Write Normal/Inversion signal]
書き込み側のSC位相のライン反転を指示する信号。

WVEN
[WVN Enable signal]
W ADDRESS発生回路において書き込み側のV信号WVNをイネーブルにする信号。

WVN
[Write-side V signal]
メモリー書き込み側のV信号。この信号によってメモリーに書込まれるビデオ信号のV位相を決める。

WZN
[Write Zero signal]
各ライン毎にメモリー書き込みのスタートを指示する信号。

Y ADD INH
[Y Line Addition Inhibit signal]
Vブランキング期間でのY信号ライン加算を禁止する信号。

Y DO
[Y Dropout signal]
ドロップアウト時に"H"となり，Y信号の1H前置換えを指示する。

WCNTH
[Write-side Counter H signal]
This is the H rate signal which generates the line address for memory write. It is generated by frequency-dividing the 910F_H pulses generated in the H-PLL circuit on the AD-20 board by 910.

±W DATA 2^{-1}, 2^0, 2^1, 2^2, 2^3, 2^4, 2^5, 2^6, 2^7
[Write Data]
The data which is A/D converted and written in the main memory.

W FLD
[Write-side Field signal]
Memory write side field signal. ODD field: L, EVEN field: H

W N/I
[Write Normal/Inversion Signal]
The signal which indicates line inversion of the SC phase at the write side.

WVEN
[WVN Enable signal]
The signal enables the V signal WVN on the write side in the W ADDRESS generating circuit.

WVN
[Write-side V signal]
Memory write side V signal. This signal determines the V phase of the video signal to be written to the memory.

WZN
[Write Zero Signal]
The signal specifies the start of memory write for each line.

Y ADD INH
[Y Line Addition Inhibit signal]
The signal inhibits Y signal line addition during the V blanking period.

Y DO
[Y Dropout Signal]
In the event of a dropout, this signal becomes "H" and designates the replacement of Y dropout section with 1H prior signal.